

## 电子科技大学

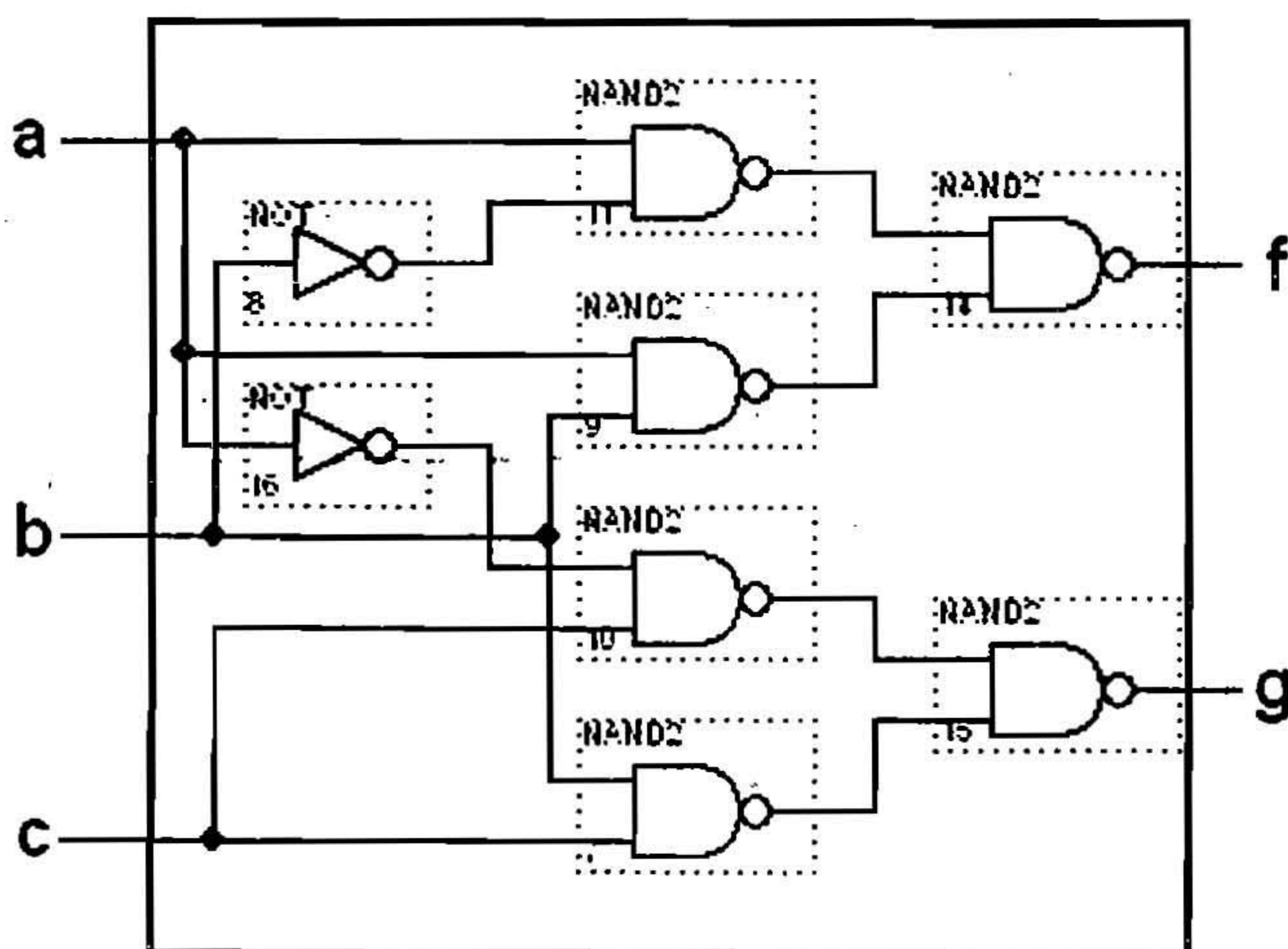
2007 年攻读硕士学位研究生入学试题

考试科目： 419 数字电路与模拟电路

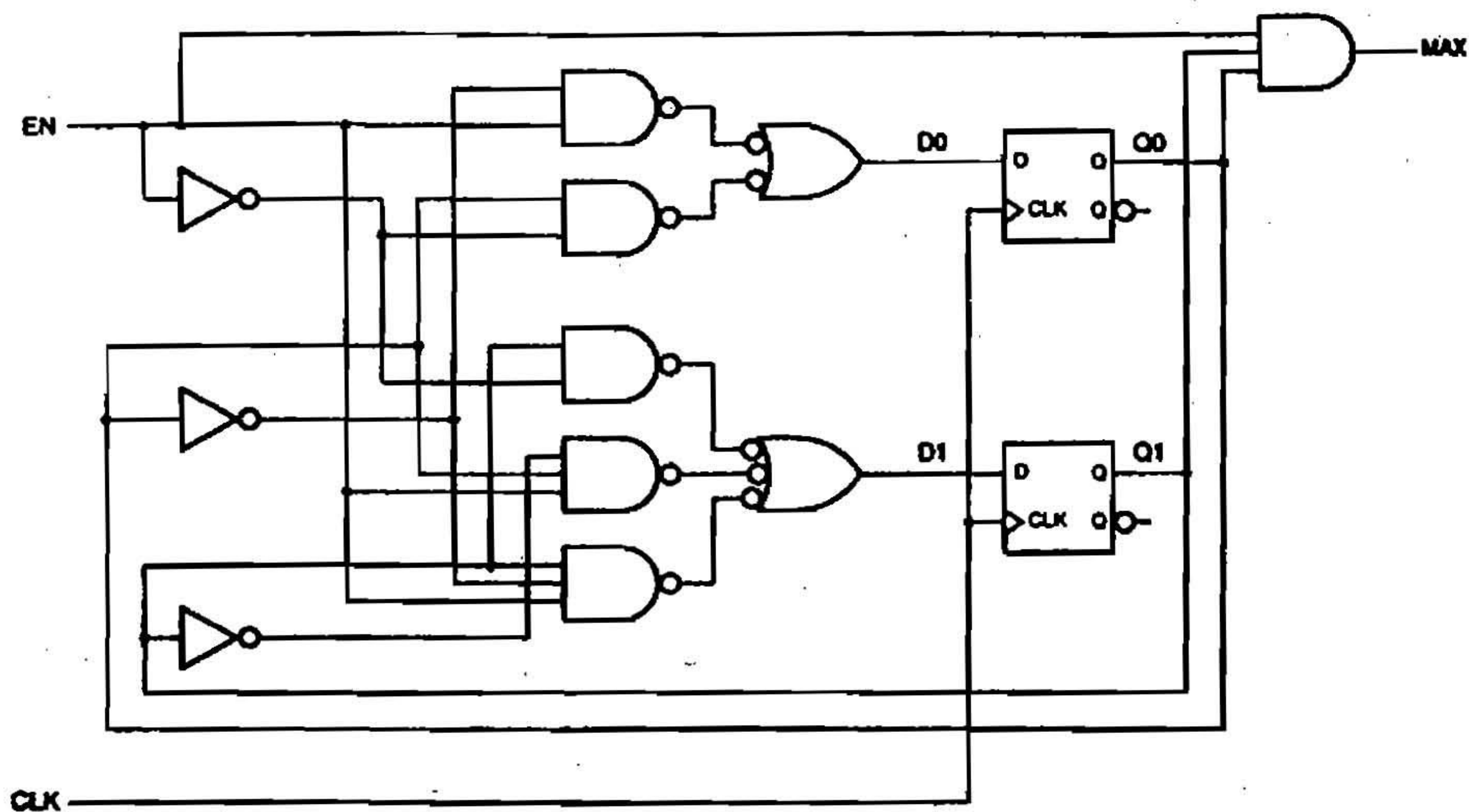
注：所有答案必须写在答题纸上，做在试卷或草稿纸上无效。

### 数字电路部分（75 分）

- 1（12 分）已知逻辑关系式表达为  $F = \sum_{x,y,z} (1,3,5,6,7)$ ，写出该逻辑的最小和表达式，最小积表达式，并分别画出对应的逻辑电路图。
- 2（6 分）已知一个逻辑电路单元如图所示，请写出最简化的输出函数表达式，并画出对应的逻辑电路图。

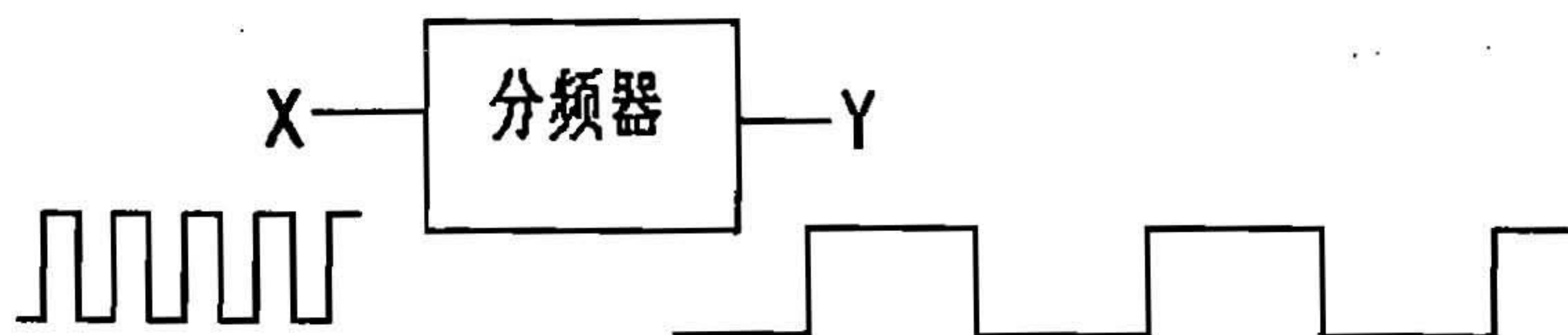
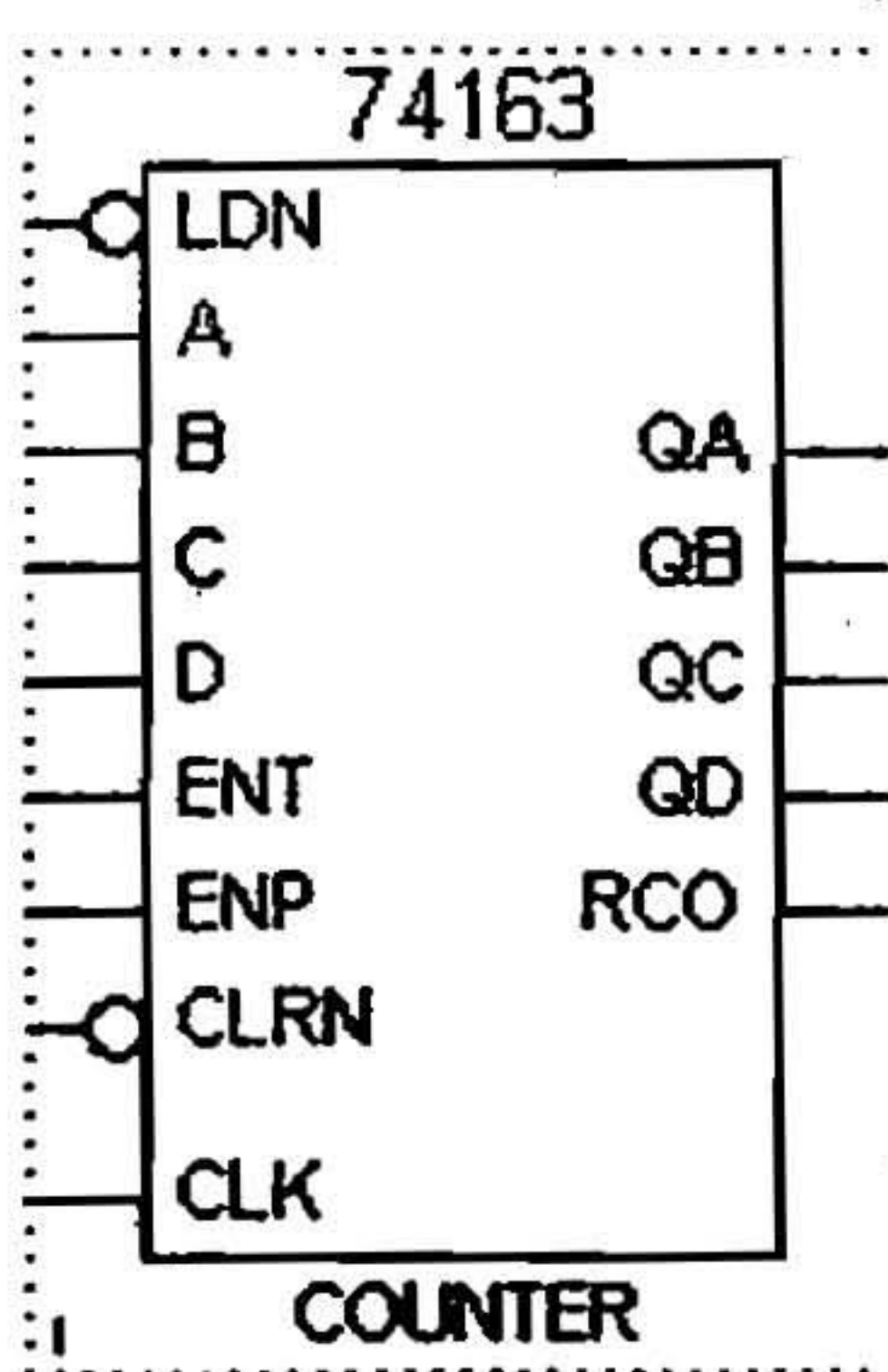


- 3（17 分）设计一个模 5 运算电路，该电路输入采用 8421 BCD 码表达的一位十进制数  $X$ ，输出  $Y$  为  $X$  除以 5 之后的余数（也采用 8421BCD 码表达）。利用无关项进行化简设计，做出电路的卡诺图，写出输出函数的最小和表达式。
- 4（15 分）时序逻辑电路如图所示。请写出电路的激励方程和输出方程，做出转移/输出表，画出状态转移图。



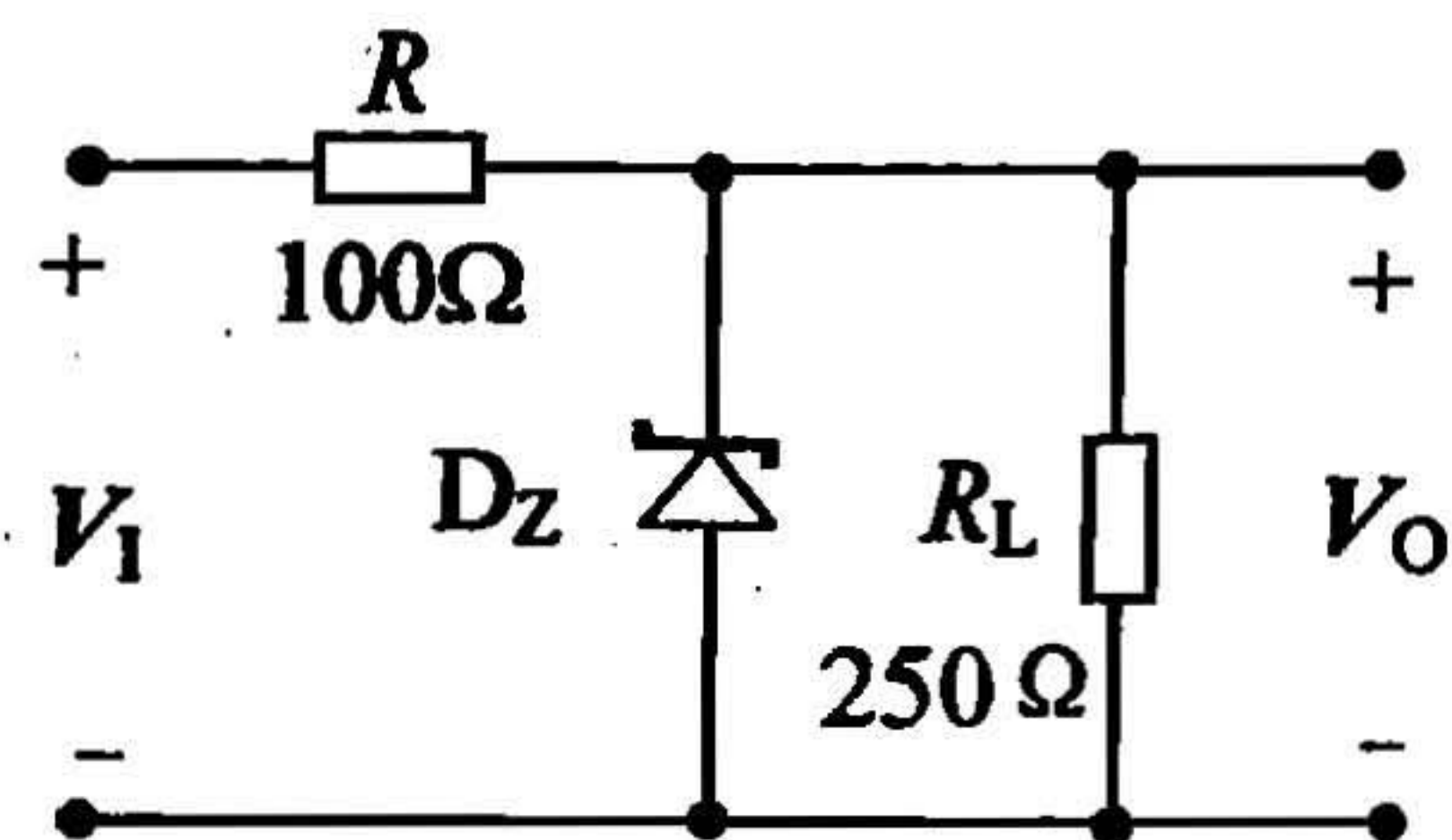
5 (10分) 采用 D 触发器和尽量少的门电路设计一个串行数据检测器，该电路具有 1 个数据输入端 D 和 1 个时钟端口，1 个信号输出端 F。当连续 3 个时钟触发时 D 都为 '1' 或都为 '0'，则 F 输出高电平，否则输出低电平。写出电路的转移/输出表，画出逻辑电路图。

6 (15分) 利用集成二进制计数器 74163 和必要的门电路，设计一个分频器。当输入 X 为 1Hz 方波时，输出 Y 为 60Hz 方波（占空比为 1）。要求采用模 10 计数器和模 6 计数器串联设计。画出整个电路的逻辑电路连接图，并做出每一个 74163 器件的状态转移图。74163 的逻辑符号如图所示。



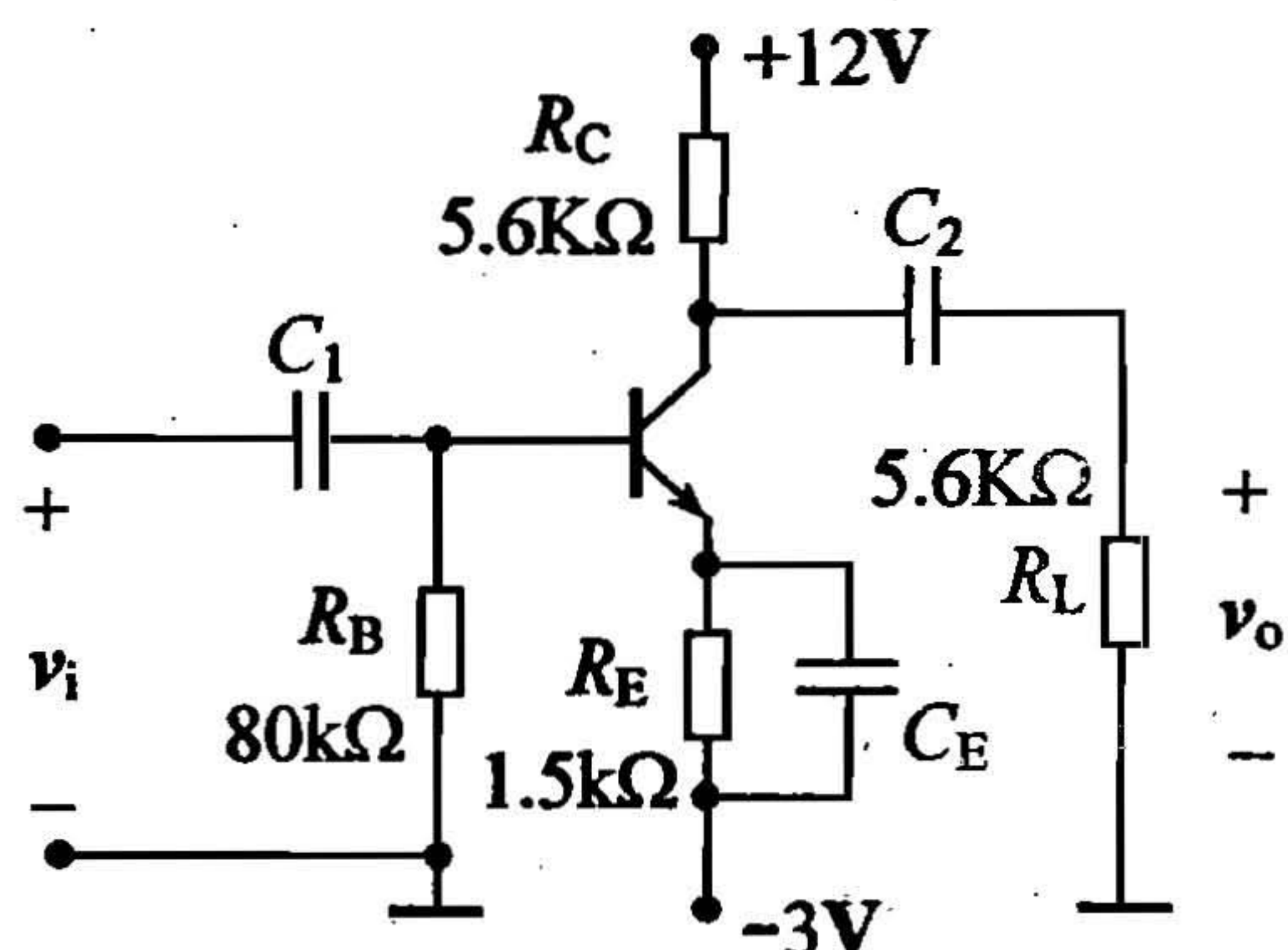
模拟电路部分 (75 分)

一、稳压电路如图，已知稳压管二极管  $D_Z$  的  $V_Z=10V$ 、 $P_{ZMAX}=1W$ 、 $I_{ZMIN}=2mA$ 。当电路工作在稳压状态时，求输入电压  $V_I$  的允许变化范围。(10 分)



二、图示 CE 放大电路中，设 BJT 的  $\beta=99$ 、 $V_{BE}=0.7V$ 、 $r_{bb'}=300\Omega$ 、 $V_{CES}=0.3V$ 。图中所有电容均可视为交流短路，(15 分)

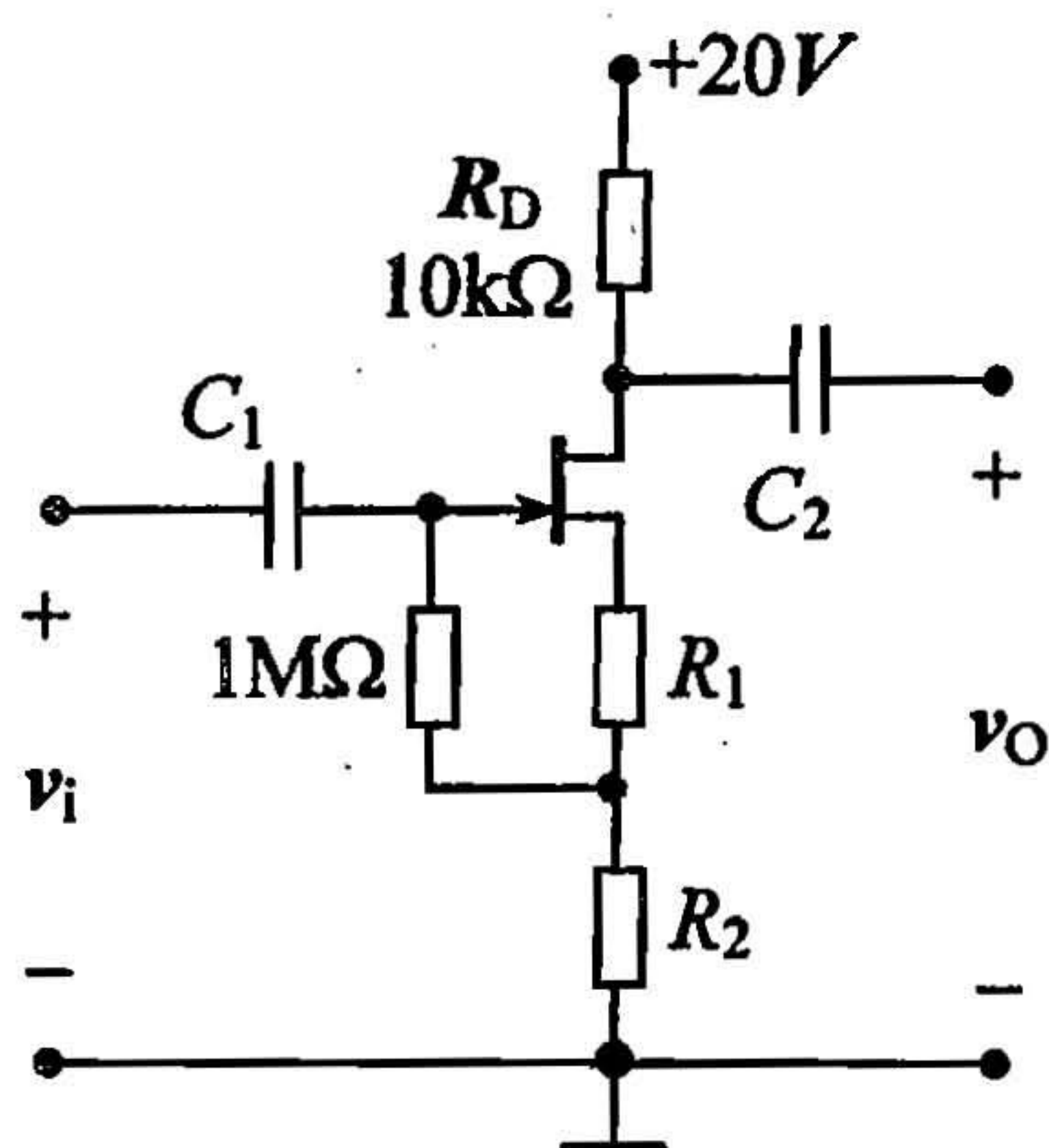
- 1). 求放大倍数  $A_v$ 、输入电阻  $R_i$ 、输出电阻  $R_o$ ；
- 2). 求最大不失真输出电压幅度  $V_{om}$ 。



三、下图 JFET 放大电路中，JFET 的  $I_{DSS}=2mA$ 、 $V_P=-4V$ 、 $V_{GS}=-2V$ 。(10 分)

- 1). 求静态工作电流  $I_D$  和电阻  $R_1$ ；

2). 保证 JFET 工作在放大区时, 求电阻  $R_2$  可能达到的最大值  $R_{2MAX}$ 。

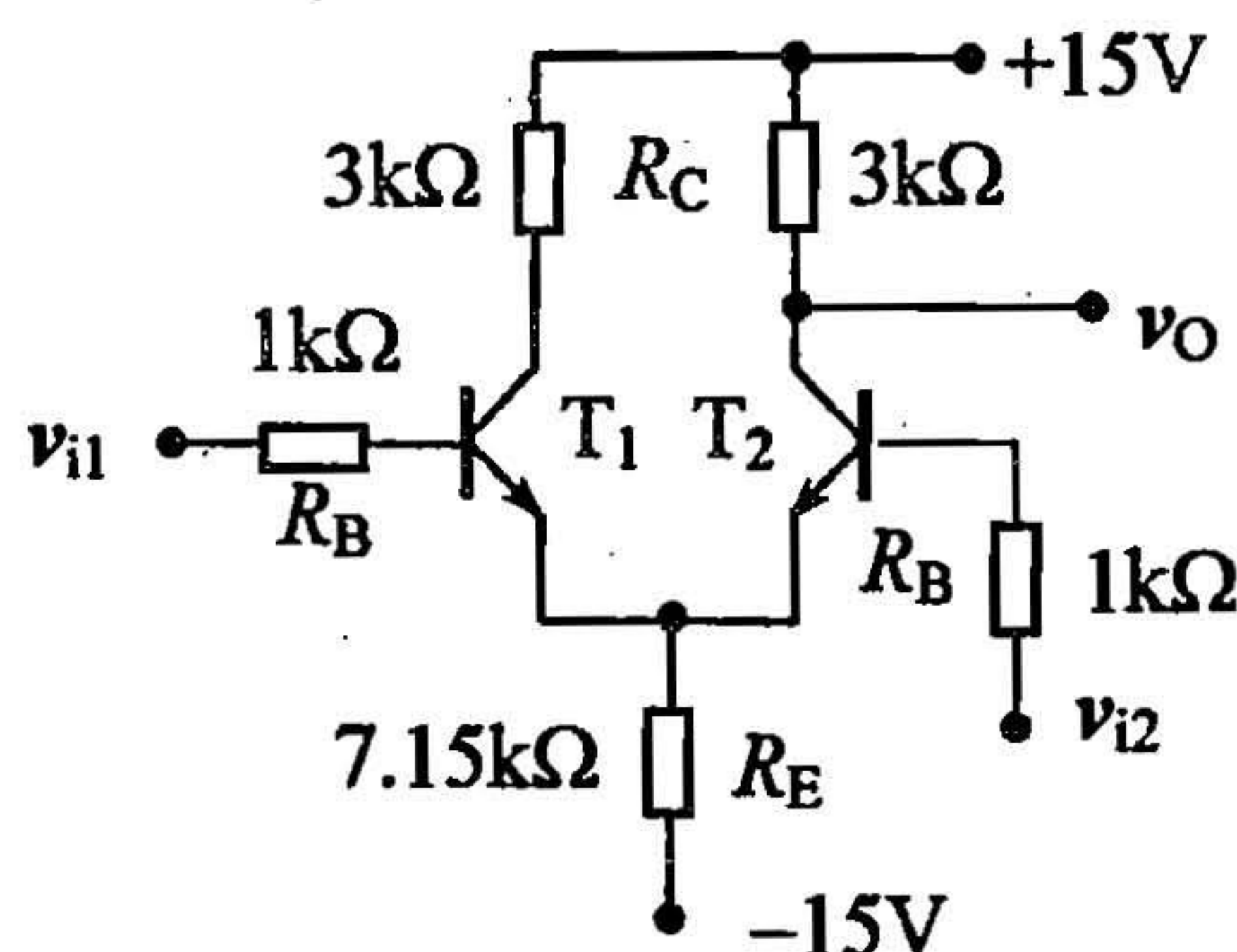


四、差动放大电路如图, 设两管的  $\beta = 50$ 、

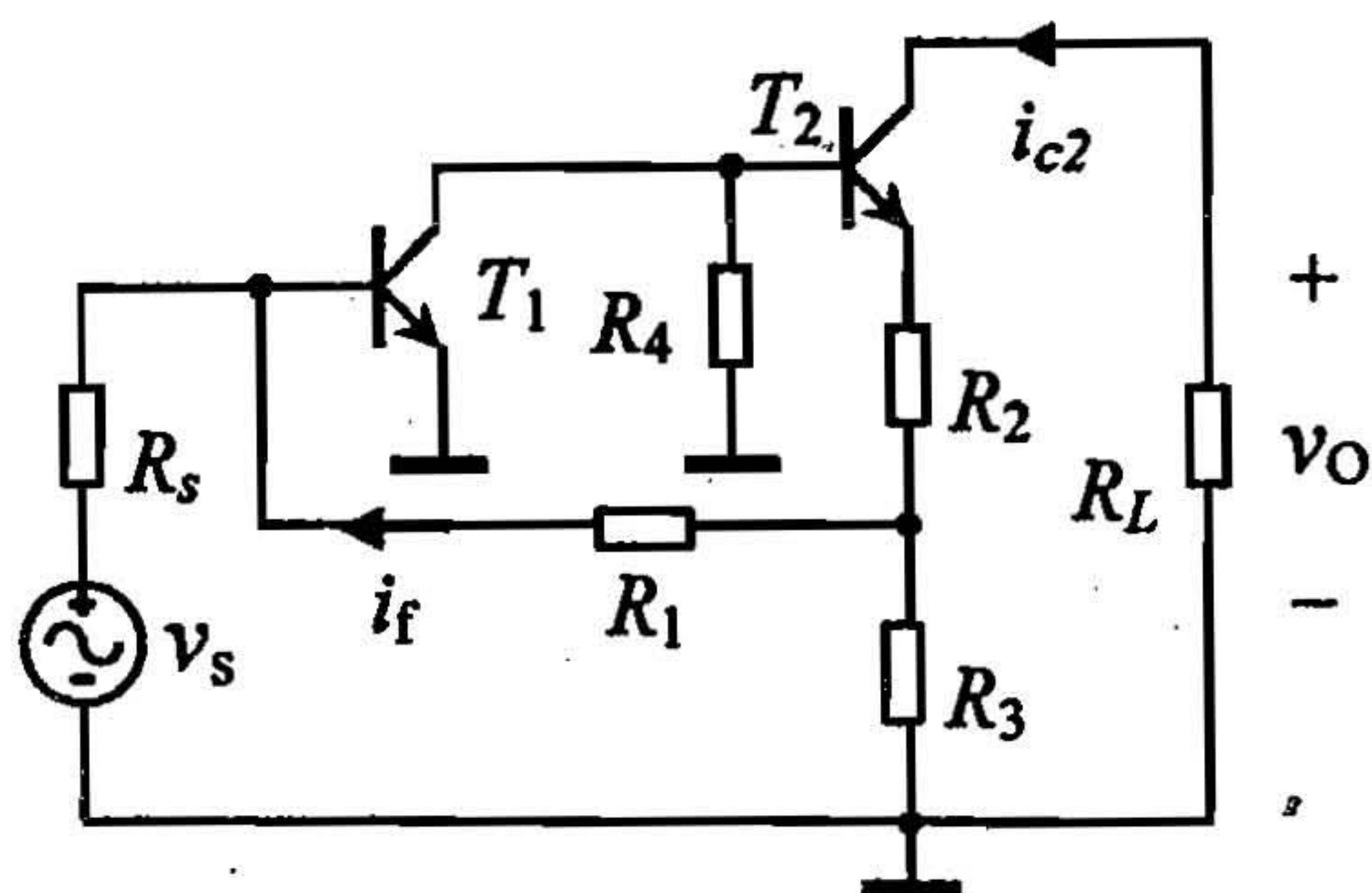
$$r_{bb'} = 0, r_{ce} = \infty, V_{BE} = 0.7V。 (15 分)$$

1). 求差模电压增益  $A_{vd}$  ;

2). 求共模抑制比  $K_{CMR}$  。



五、某放大电路的交流通路如下图, 设电路工作在深度负反馈下, 试判别电路的反馈组态, 并导出源电压增益  $A_{vsf}$  的表达式。(10 分)



六、下图为由集成运放构成的模拟运算电路, 运放  $A_1$ 、 $A_2$  的性能可视为理想。(15 分)

- 1). 求运放的输入平衡电阻  $R_{P1}$ 、 $R_{P2}$  ；
- 2). 求运放输入平衡时的函数表达式  $v_o = f(v_{i1}, v_{i2}, v_{i3})$  。

