

## 电子科技大学

## 2010 年攻读硕士学位研究生入学试题

## 考试科目：828 数字电路

注：所有答案必须写在答题纸上，写在试卷或草稿纸上均无效。

一、选择题（每题只有一个最合适的答案，多选不得分。共 10 小题，每小题 2 分，小计 20 分）。

- 1、两个二进制数进行算术运算，下面（ ）说法是不正确的
  - A. 两个无符号数相加，如果最高位产生进位输出，则肯定发生溢出
  - B. 两个最高位不同的补码进行相加运算，肯定不会产生溢出
  - C. 两个补码进行相加运算，如果最高位产生进位输出，则肯定发生溢出
  - D. 两个补码的减法运算可以用加法器来实现
- 2、以下描述一个逻辑函数的方法中( )只能唯一表示。
  - A. 表达式
  - B. 逻辑图
  - C. 真值表
  - D. 波形图
- 3、在不影响逻辑功能的情况下，CMOS 与非门的多余输入端可( )。
  - A. 接高电平
  - B. 接低电平
  - C. 悬空
  - D. 通过电阻接地
- 4、欲产生序列信号 11010111，则至少需要( )级触发器。
  - A. 2
  - B. 3
  - C. 4
  - D. 5
- 5、一个八位二进制减法计数器，初始状态为 00000000，问经过 268 个输入脉冲后，此计数器的状态为（ ）。
  - A. 11001111
  - B. 11110100
  - C. 11110010
  - D. 11110011
- 6、为构成 4096×16 的 RAM 区，共需 1024×4 位的 RAM 芯片( )片。
  - A. 64
  - B. 8
  - C. 16
  - D. 32
- 7、逻辑函数  $F1 = \sum_{ABCD}(2,3,5,8,11,13)$  和  $F2 = \prod_{ABCD}(2,4,7,10,12,13)$  之间满足（ ）关系。
  - A. 对偶
  - B. 相等
  - C. 香农展开
  - D. 反演
- 8、移位寄存器由 8 级触发器组成，用它构成的扭环形计数器具有（ ）种有效状态；用它



构成的环计数器具有( )种有效状态,构成线性反馈移位寄存器具有( )种有效状态。

- A. 16, 8, 511      B. 4, 8, 15      C. 16, 8, 255      D. 8, 16, 127

9、若要将一异或非门当作反相器(非门)使用,则输入端 A、B 端的连接方式是( )。

- A. A 或 B 中有一个接“1”;      B. A 或 B 中有一个接“0”;  
C. A 和 B 并联使用;      D. 不能实现。

10、实现同一功能的 Mealy 型同步时序电路比 Moore 型同步时序电路所需要的( )。

- A. 状态数目更多      B. 状态数目更少      C. 触发器更多      D. 触发器更少

## 二、填空题(共 10 小题, 每题 3 分, 小计 30 分)

1、 $(1010110011.0101)_2 = ( )_{8421BCD} = ( )_{Gray}$ (即格雷码)。

2、A 的原码为 011010, 则 2A 对应的 8 位原码形式为( ), -A 的 8 位补码为( )。

3、555 定时器是一种用途很广泛的电路,除了能组成( )触发器、( )触发器和( )三个基本单元电路以外,还可以接成各种实用电路。

4、某集成电路芯片,查手册知其最大输出低电平  $V_{OLmax}=0.4V$ , 最大输入低电平  $V_{ILmax}=0.8V$ , 最小输出高电平  $V_{OHmin}=2.6V$ , 最小输入高电平  $V_{IHmin}=2.0V$ , 则其高电平和低电平的噪声容限分别等于( )和( )。

5、已知某种计数制中有算数运算  $41/3=13$  成立,则该算数运算中操作数的基数是( )。

6、若 J-K 触发器原态为“0”, 控制输入  $J=K'=1$ , 当有效时钟作用后  $Q^*=$  ( )。

7、六个变量可以构成( )个最大项,它们之积是( ), 任意两个不同的最大项之和为( )。

8、一个 8 位数模转换器(DAC)的最小输出电压增量为 0.02V, 当输入代码为 11011010 时, 输出电压  $V_0 = ( )V$ ; ADC(模数转换器)的两个最重要的指标是( )和( )。

9、用卡诺图求逻辑函数  $F = \sum_{w,x,y,z} (4,7,9,13,15) + d(5,6)$  的最简和之积表达式(或与表达式)为( )。

10、用  $2048 \times 12$  的 ROM 芯片, 最多能实现( )个输入( )个输出的组合逻辑函数。

## 三、逻辑函数化简(20 分)

1、将逻辑函数

$$F = A \cdot (A+B)(A'+C)(B+D)(A'+C+E+F)(B'+F)(D+E+F)$$

化简成最简或非-或非表达式。(10 分)



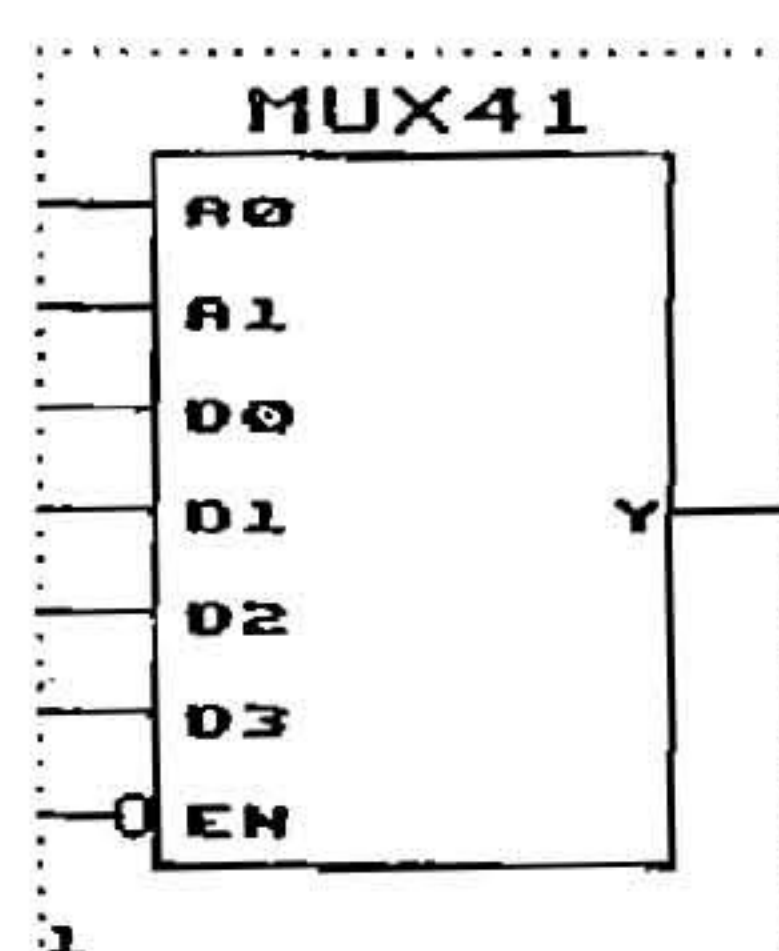
2、已知函数  $F_1$  和  $F_2$  如下,试用卡诺图求出函数  $F = F_1 \cdot F_2$ , 并将  $F$  化简成最简与非-与非表达式。

$$F_1(A, B, C, D) = \sum m(1, 3, 5, 6, 7, 9, 11, 12, 13, 14, 15);$$

$$F_2(A, B, C, D) = \prod M(2, 3, 8, 9, 10, 14);$$

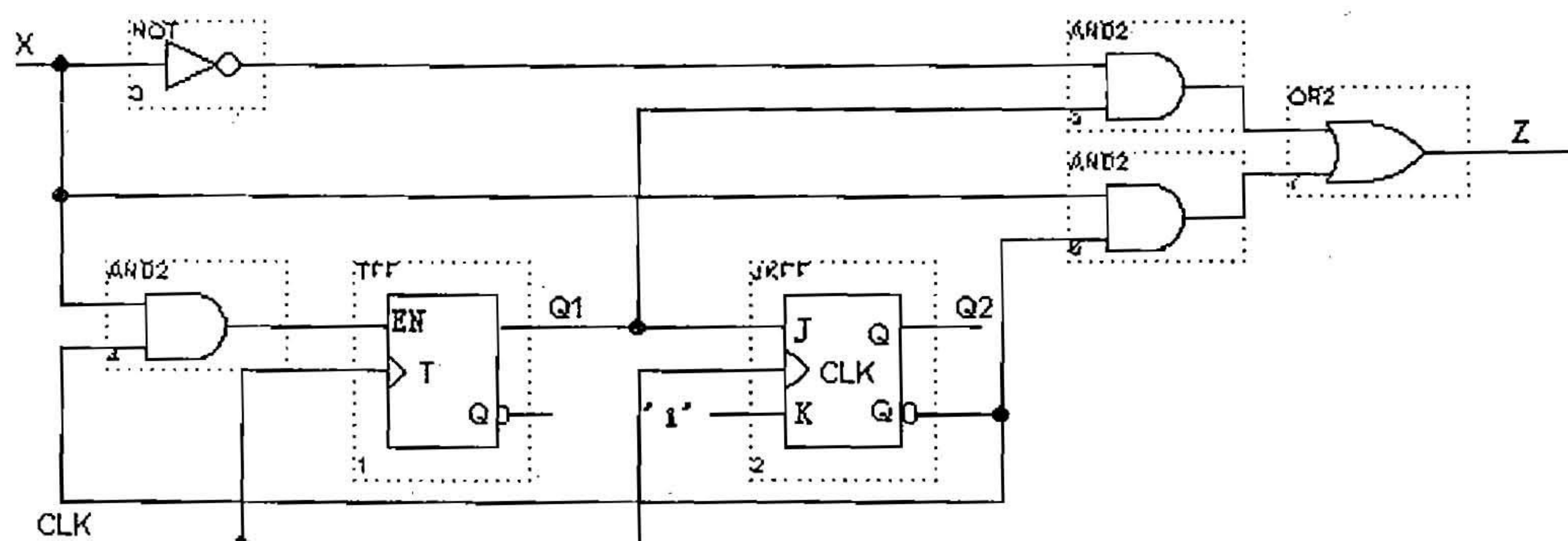
(要求分别画出  $F_1$ 、 $F_2$  及  $F$  的卡诺图)。(10 分)

四、只用一片 4 选 1 数据选择器实现逻辑函数  $F = A \cdot B + C \cdot D + (B \oplus C)'$ 。(不允许用逻辑门电路辅助, 输入只提供原变量。) 写出设计过程。(10 分)



五、分析下图中的时钟同步状态机。(20 分)

- 1、 写出激励方程、输出方程、转移/输出表, 以及状态/输出表。(状态  $Q_1 Q_2 = 00 \sim 11$  使用状态名 A~D)。(15 分)
- 2、 假设机器的起始状态为 00, 请写出当输入  $X = 110010001$  时的输出序列  $Z$ 。(5 分)



六、根据图 6.1 所示电路和图 6.2 中所给出的激励波形, 分析并画出对应输出  $Y$  的波形图 (设起始状态为  $Q_D, Q_{JK} = 00$ )。(10 分)

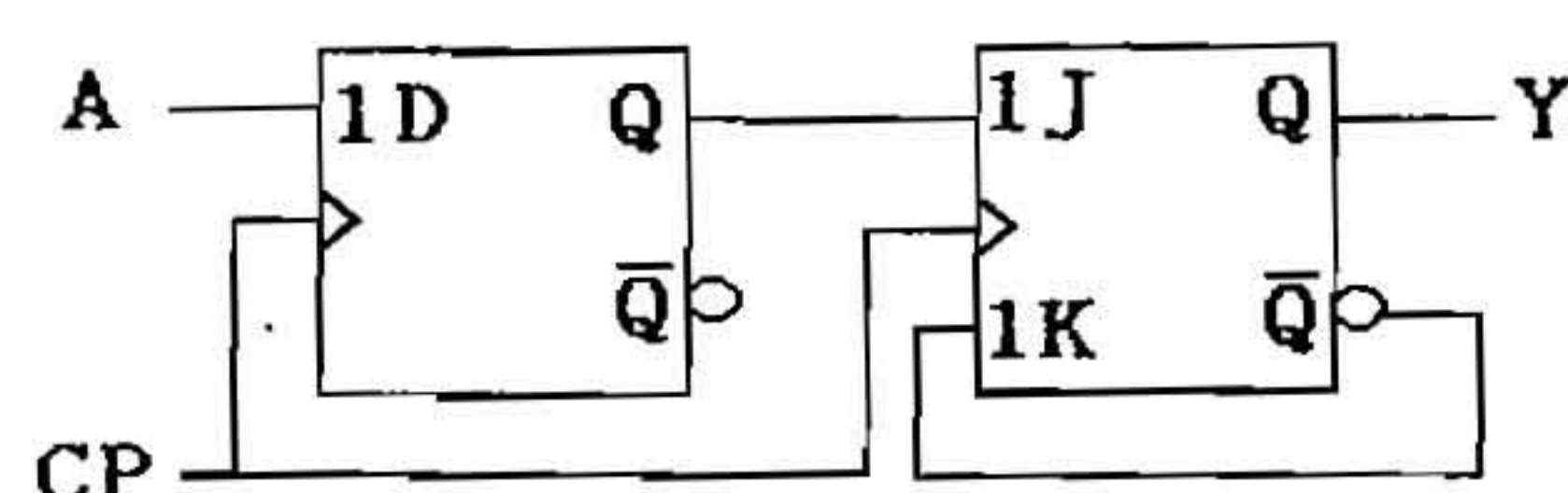


图 6.1 电路图

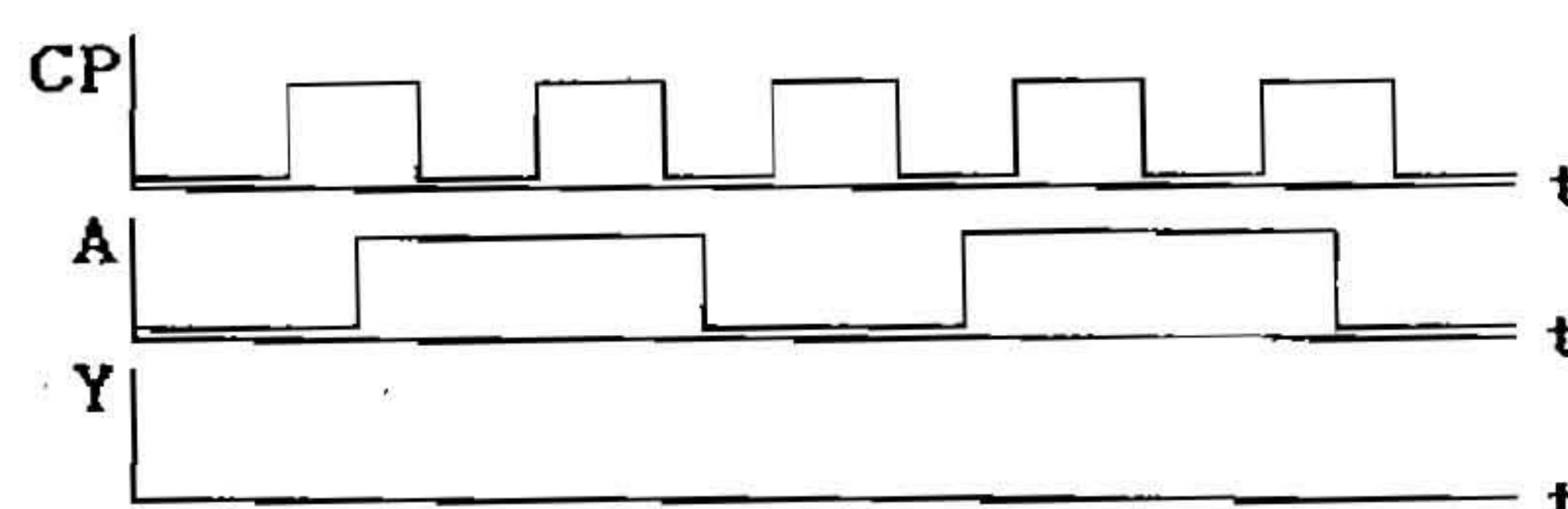


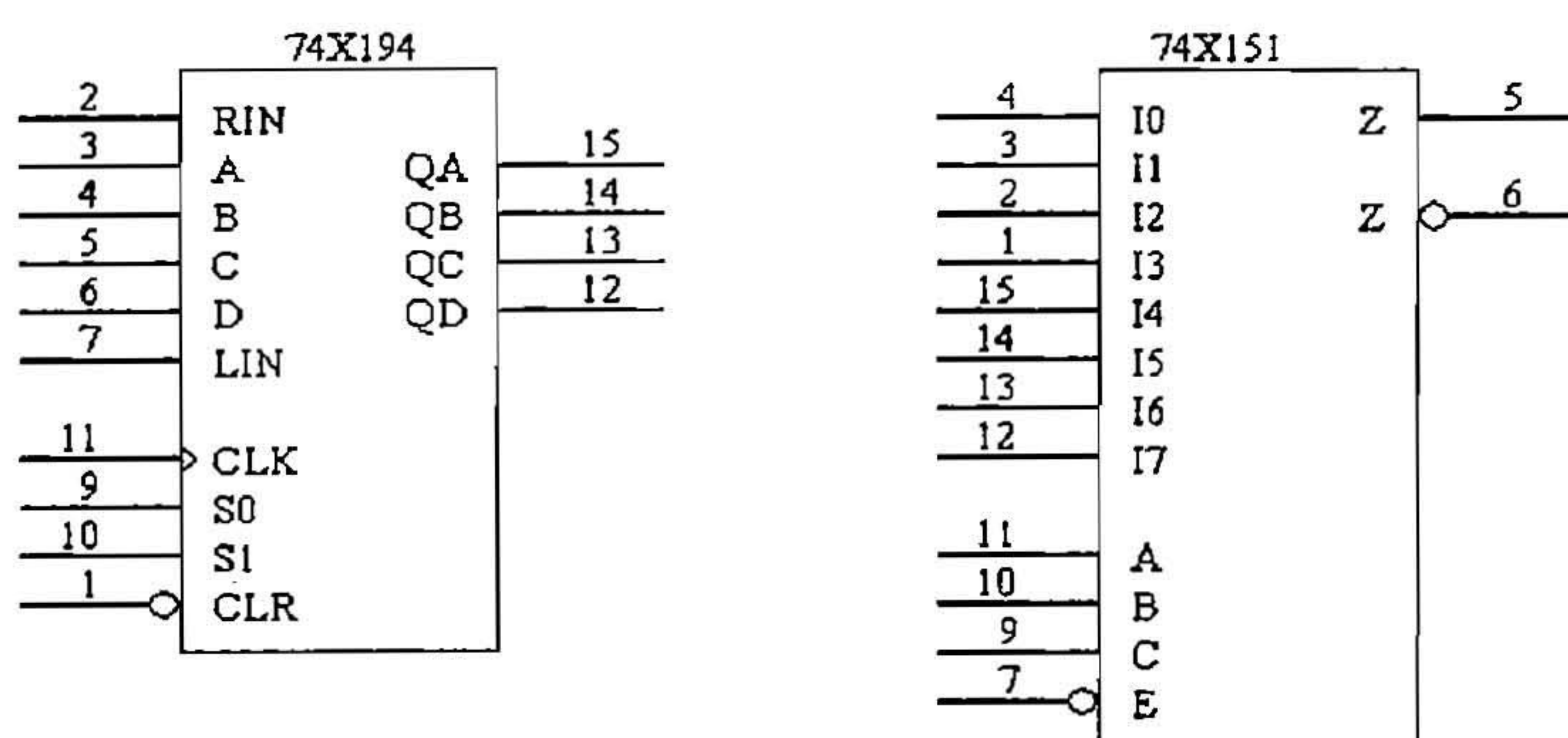
图 6.2 波形图



七、利用一片通用移位寄存器 74×194 和一片多路复用器 74×151 及合适的非门实现 0011011001 序列发生器。（注意：必须画逻辑图） （15 分）

74X194 功能表

功能	输入		新状态			
	S1	S0	Q <sub>A</sub> *	Q <sub>B</sub> *	Q <sub>C</sub> *	Q <sub>D</sub> *
保持	0	0	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
右移	0	1	RIN	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>
左移	1	0	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>	LIN
置数	1	1	A	B	C	D



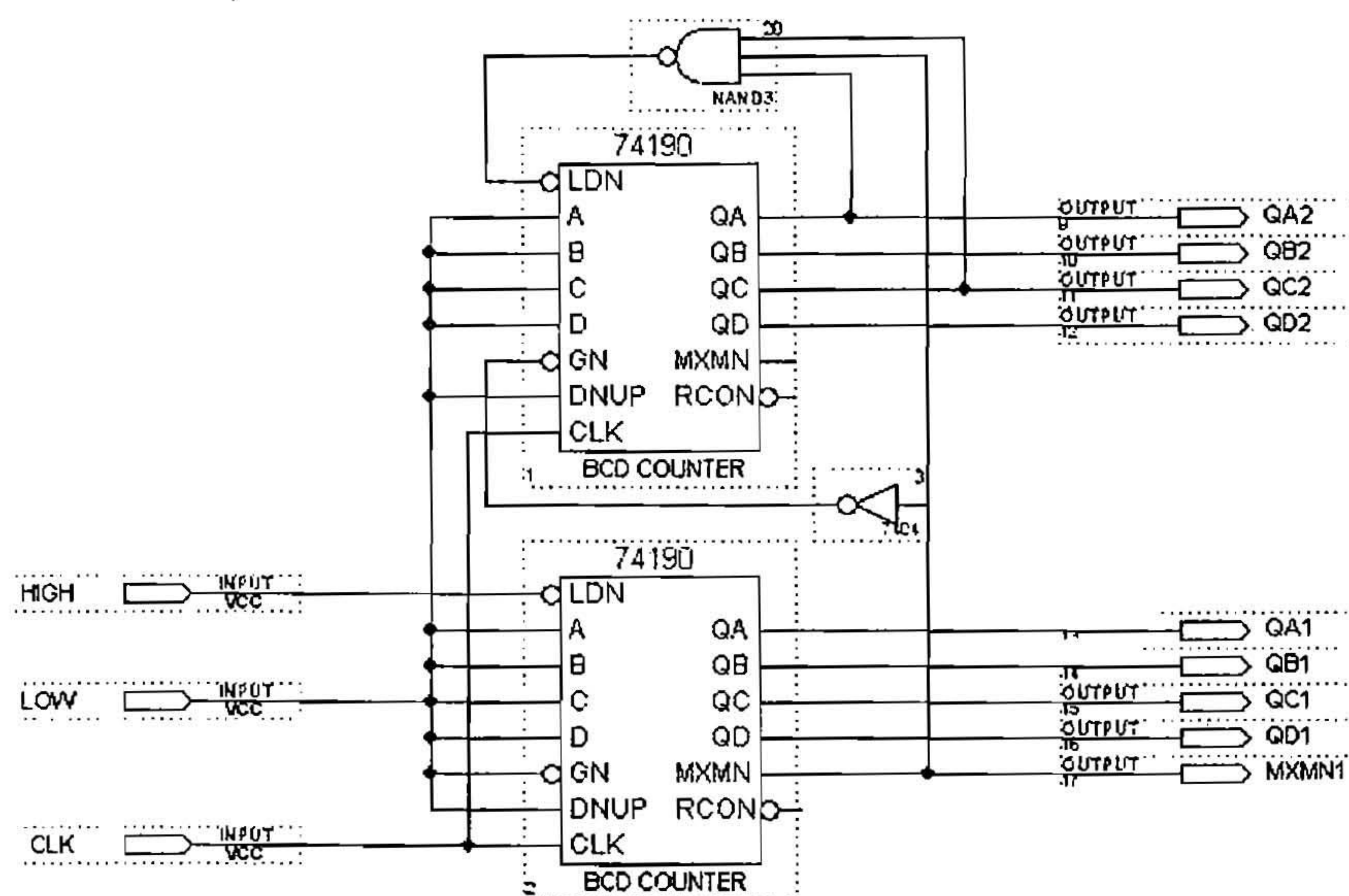
八、74LS190 的功能表如图所示，74LS190 是 BCD 加减计数器，当 DNUP=0,QA—QD=1001 时，MXMN=1；当 DNUP=1,QA—QD=0000 时，MXMN=1。试分析图中用 2 片 74LS190 器件构成的电路，要求：

- 1) 画出每个 74LS190 器件的状态转换表（或状态转换图）；
- 2) 说明图示电路的计数模是多少？ （15 分）

74LS190 功能表

GN	LDN	DNUP	CLK	功能
1	1	X	X	保持
X	0	X	X	预置数
0	1	0	↑	加计数
0	1	1	↑	减计数





九、对于滑窗型的序列检测器，用来检测串行二进码输入序列，若当前输入及前面 4 个输入中有 3 个“1”和 2 个“0”且最初的 2 个输入均为“1”时，输出为 1，否则输出为 0，设计能完成该逻辑功能的同步时序电路。要求写出状态转换/输出图或者状态转换/输出表。（10 分）