

电子科技大学

2011 年攻读硕士学位研究生入学试题

考试科目：829 数字电路与模拟电路

模拟电路部分试题（共 75 分）

注：所有答案及必须写在答题纸上，做在试卷或草稿纸上无效。

一、填空题（每题 5 分，共 25 分）

1, 集成运放内部是多级放大电路, 采用 () 耦合方式, 为了减小 (), 其输入级通常采用 () 放大电路, 输出级通常采用 () 电路。集成运放在深度负反馈条件下, 具有虚短路和 () 的特点, 利用这两个特点, 可以使电路功能分析大大简化。

2, 图 1 电路中, C 为耦合电容, 二极管是小功率 Si 管, $T=300K$ 。流过二极管的电流 i_D 中的交流分量的振幅约为 ()。

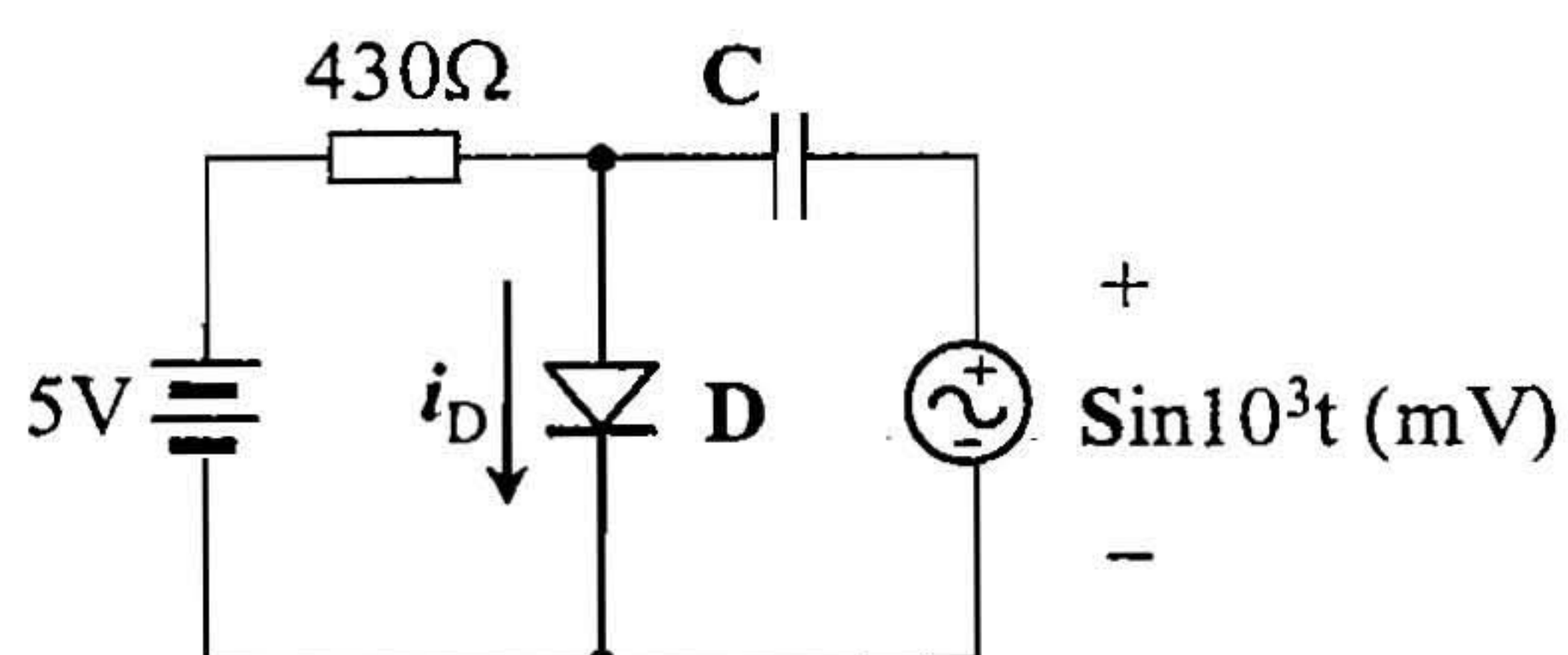


图 1

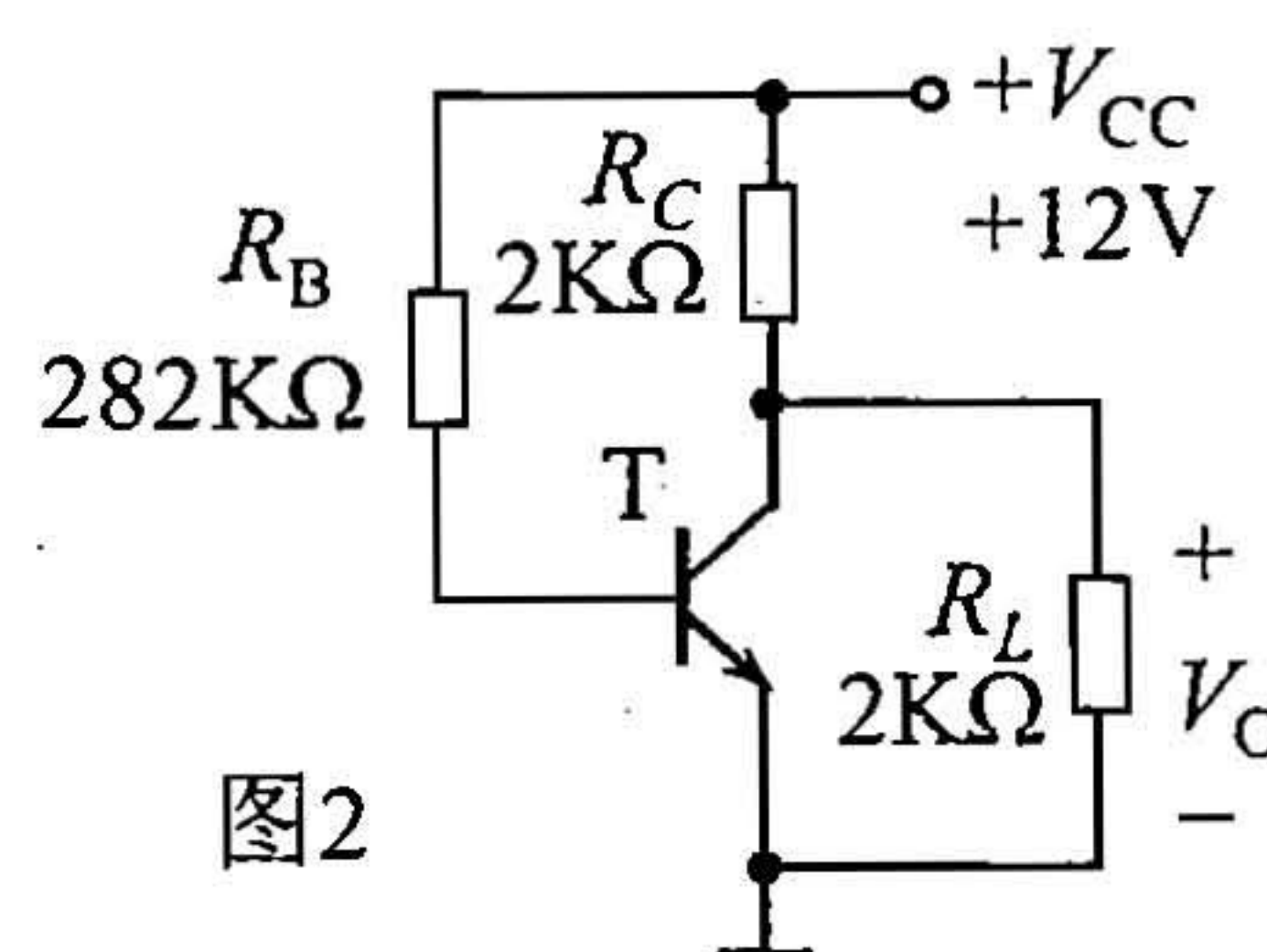


图 2

3, 图 2 电路为某放大器的直流通路, 设 $V_{BE} = 0.7V$, $\beta = 50$ 。则 V_O 约等于 ()。

4, 图 4 电路为镜像电流源电路, I_{C3} 为输出恒定电流, 设所有 BJT 的 $V_{BE} = 0.7V$ 。则 I_{C3} 约等于()。

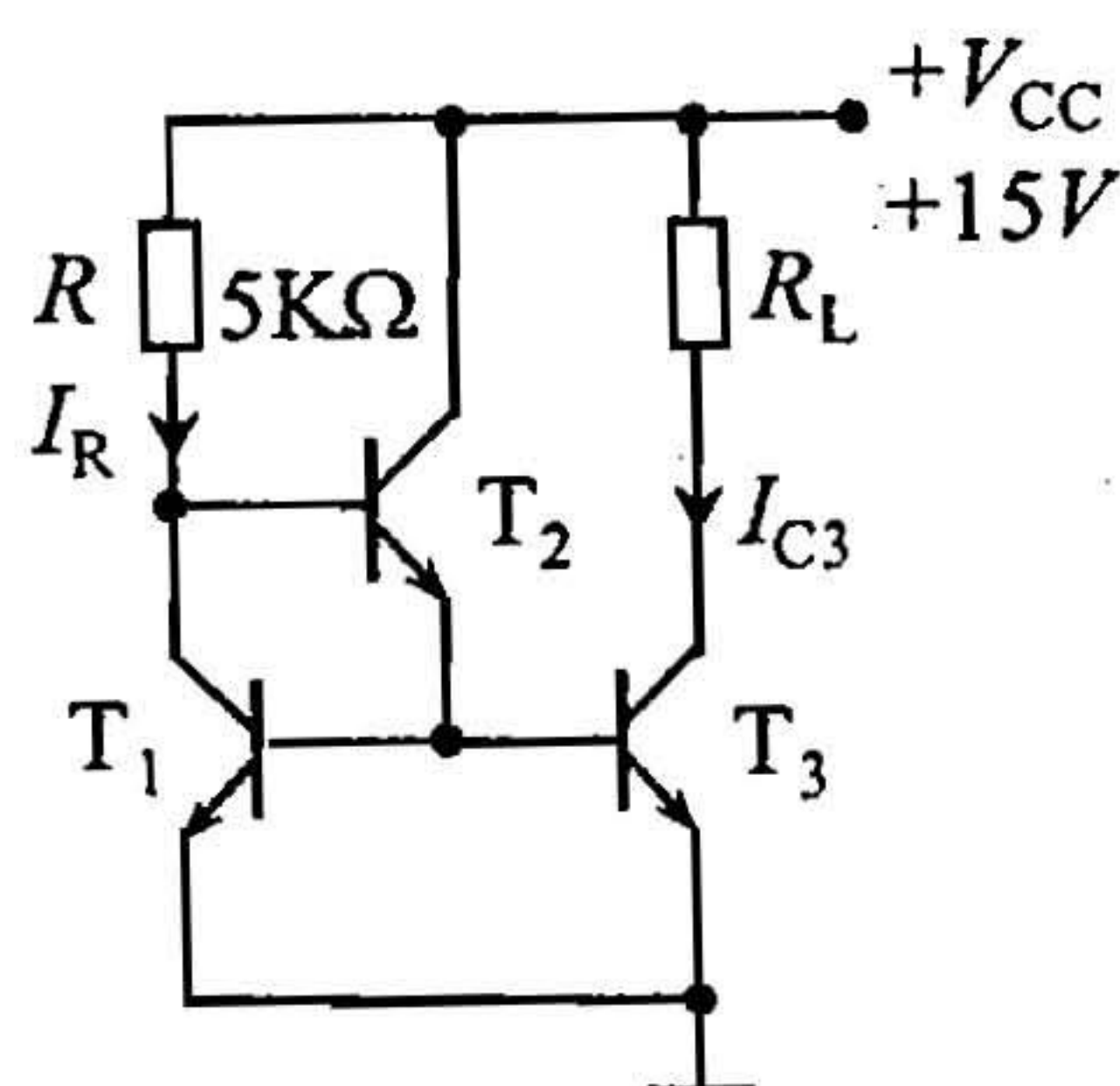


图 4

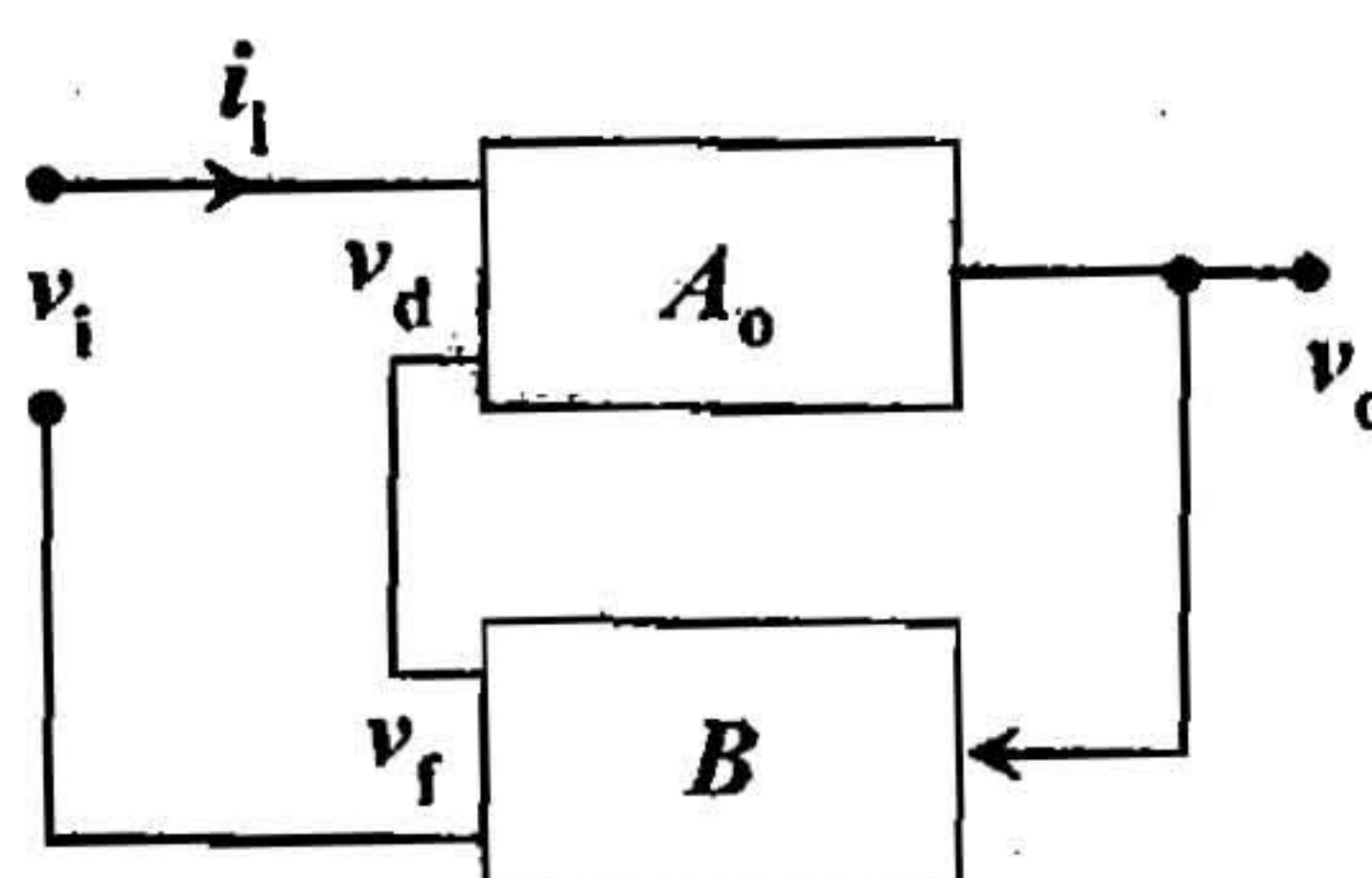


图 5

5, 某放大器的开环电压增益 $A_O = 10^5$, 输入电阻 $R_i = 10K\Omega$ 。若要求闭环后的 $R_{if} = 1M\Omega$, 对应的电压增益 A_f 应等于 ()。

二. 分析计算题 (共 50 分, 要求写出主要计算步骤)

6, CE 电路如图 6, 设 $r_{be} = 1K\Omega$, $\beta = 50$, 电阻单位为欧姆。求 A_{VS} 。并说明两个 $150K\Omega$ 电阻对电路起什么作用? (10 分)

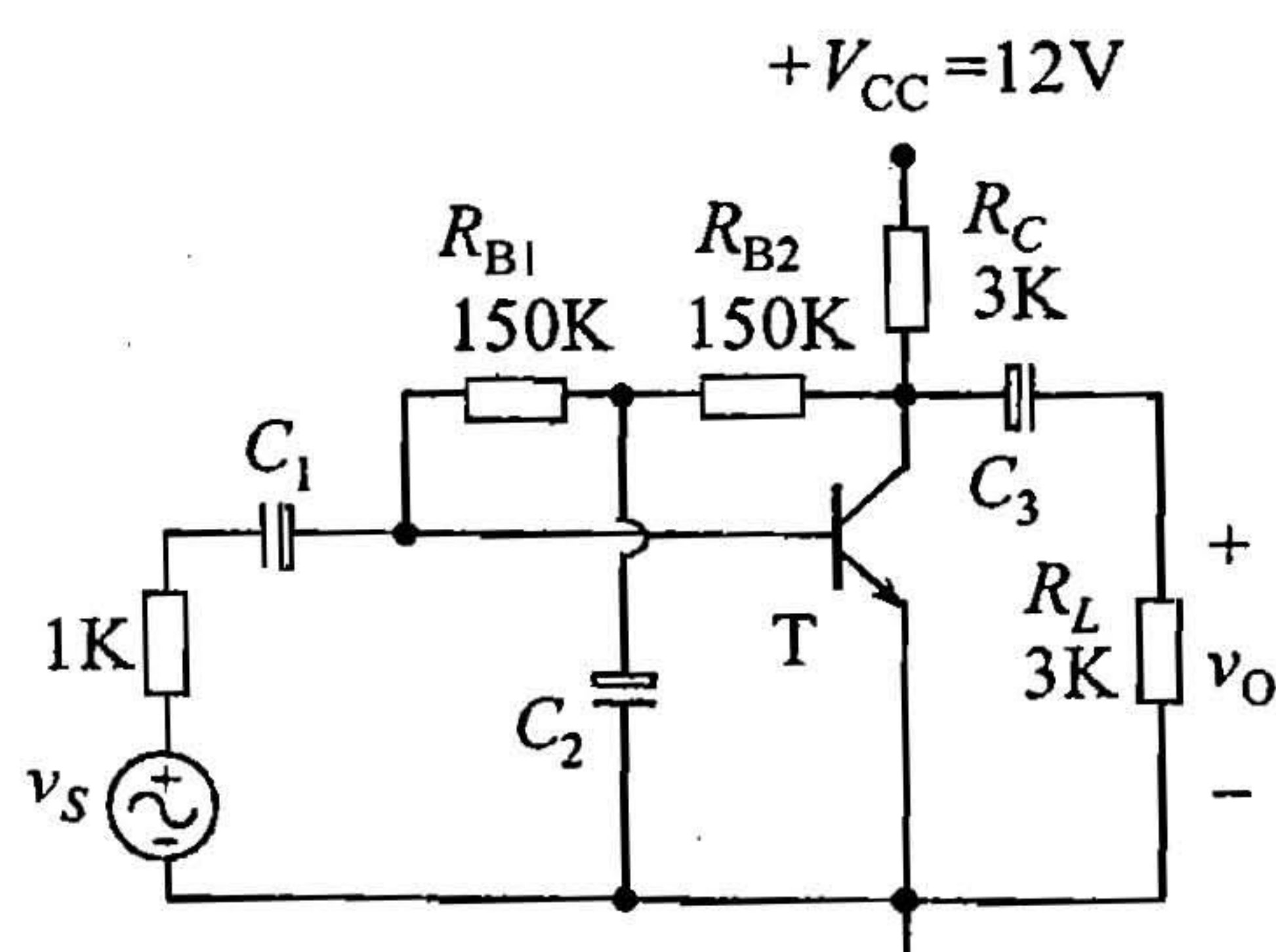


图 6

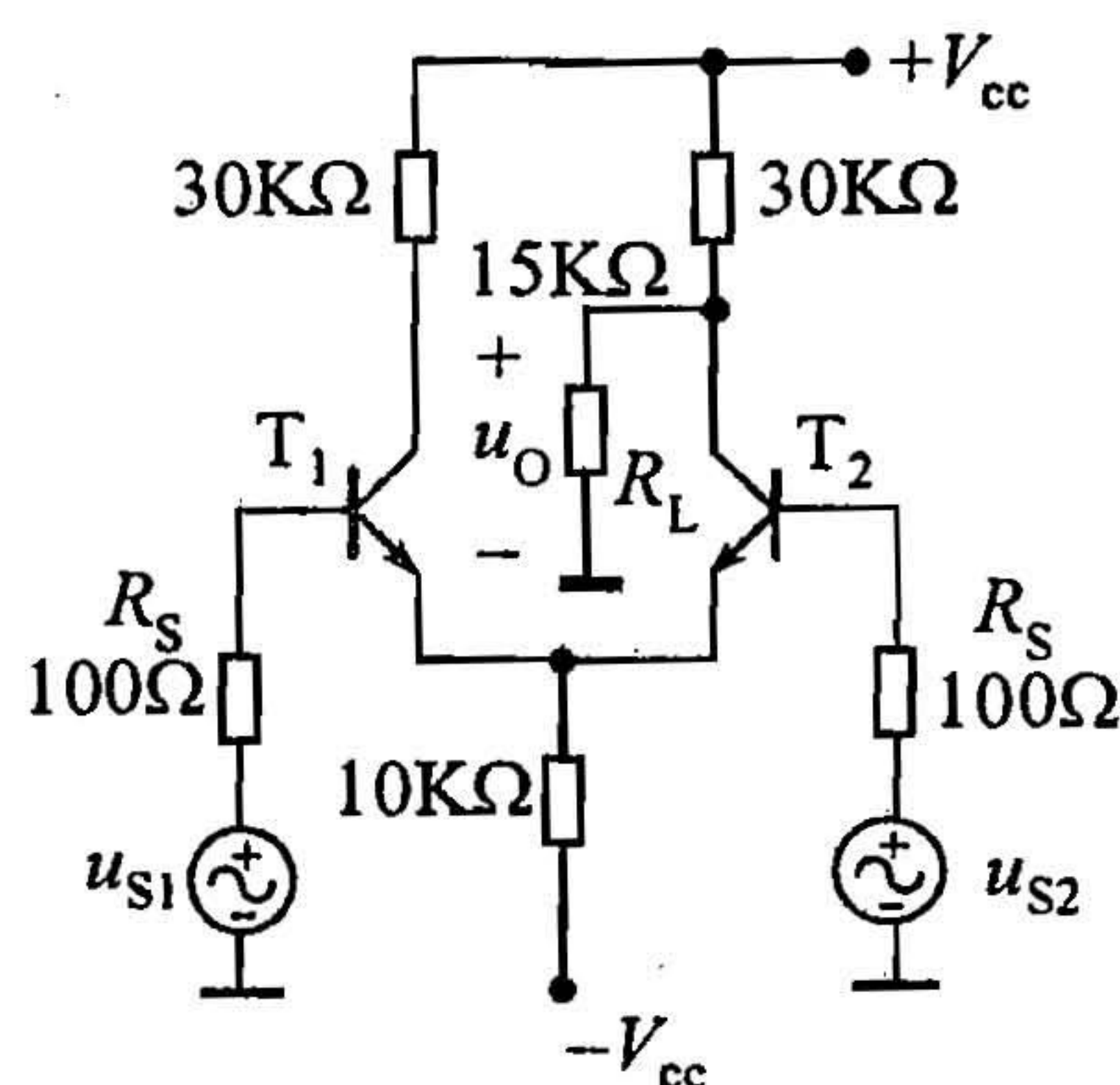
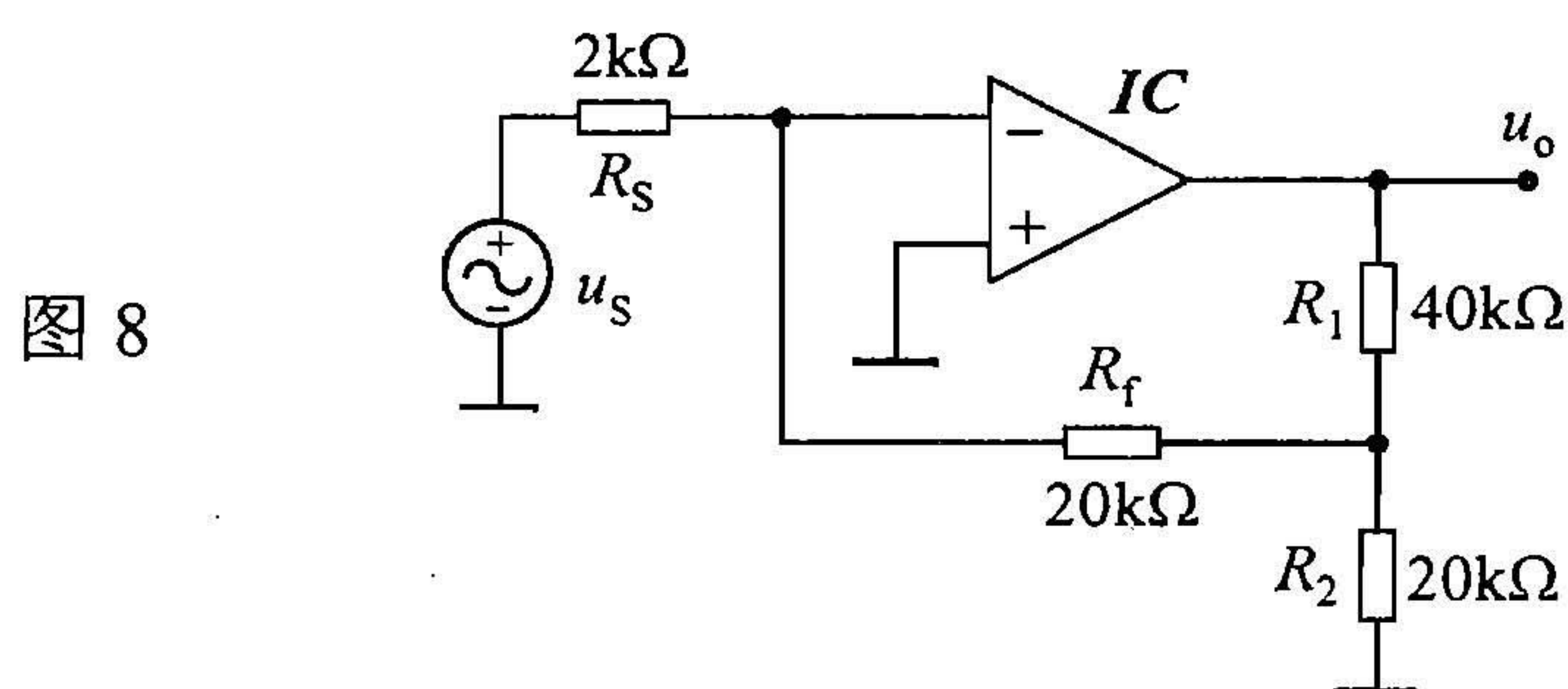


图 7

7, 差动放大电路图 7 所示, 设晶体管的 $r_{be}=1\text{k}\Omega$ 、 $\beta=100$, 求 A_{ud} 和 K_{CMR} 。(15 分)

8, 反馈放大电路如图 8 所示。电路工作在深度负反馈状态下, 求电路的 A_{USf} 并说明电路的反馈组态。($A_{USf}=u_o/u_s$ 10 分)



9, 模拟运算电路如图 9 所示, 求输出电压表达式 $u_o=f(u_1, u_2)$ 和输入平衡电阻 R_p 。(15 分)

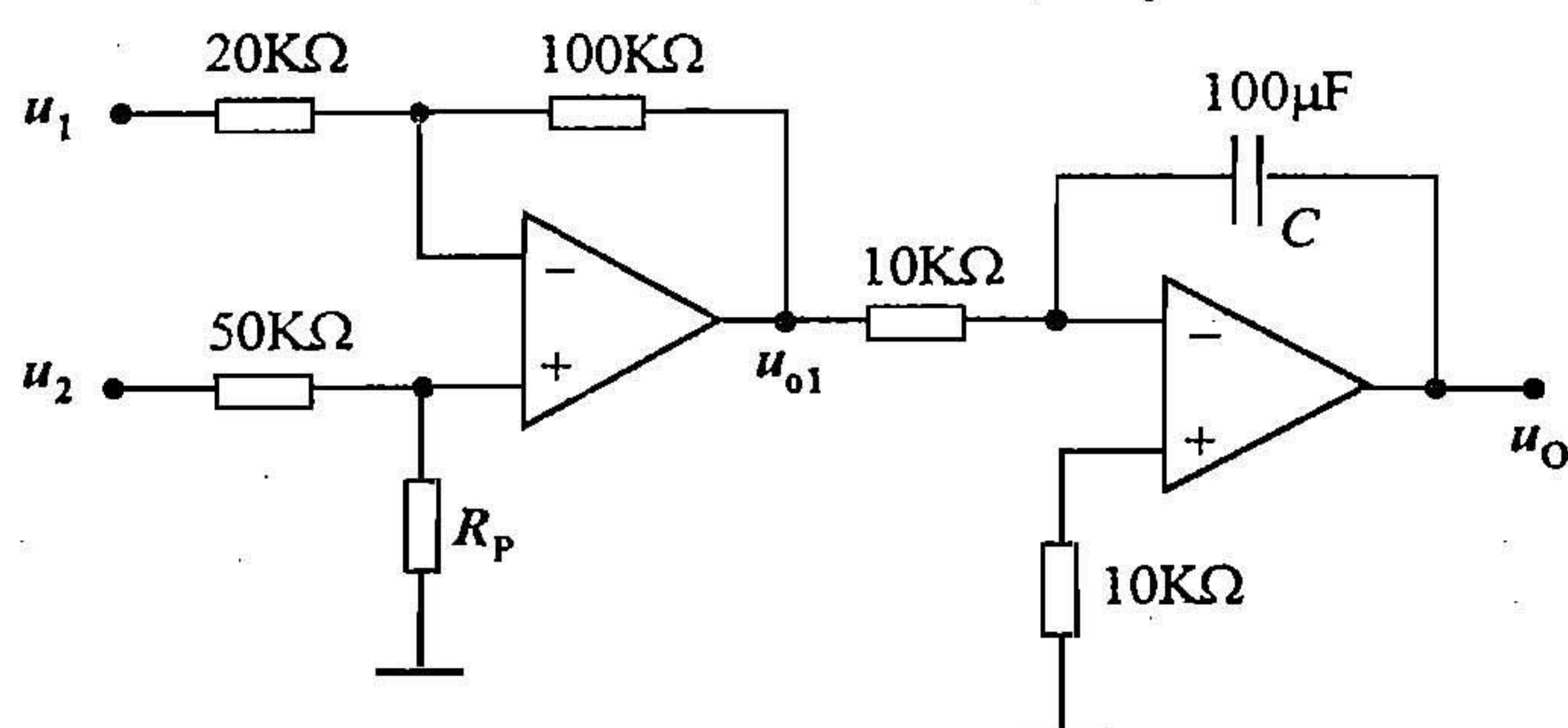


图 9

数字电路部分 (75 分)

一、填空 (每空 2 分, 共 20 分)

1. 十六进制数 9E 对应的 BCD 余三码为 ()。
2. n 位的环形计数器的状态图中有 () 个无效状态。
3. 图 1 电路由 CMOS 传输门构成。输出端的逻辑表达式为 ()。

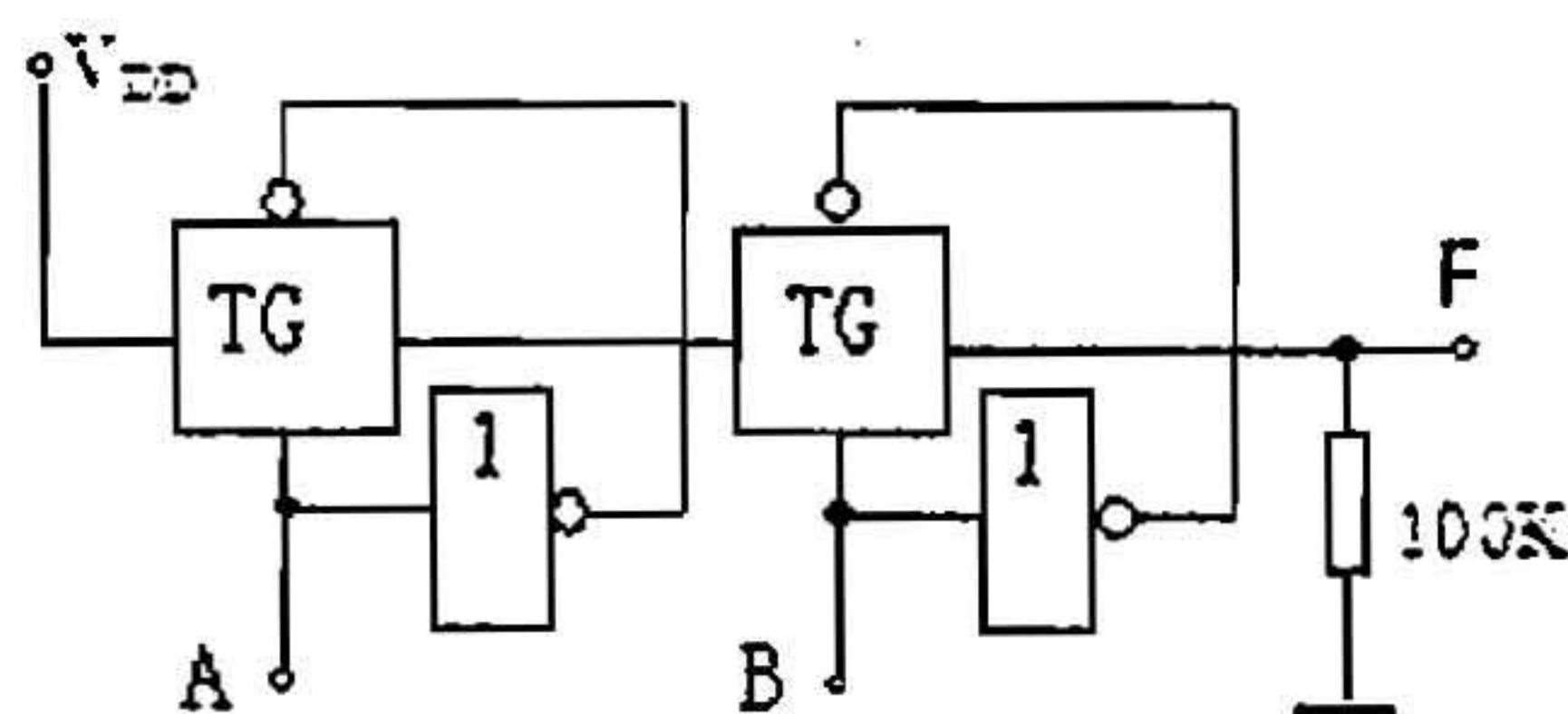


图 1

4. 如果要用 J-K 触发器来实现 D 触发器功能, 则 D, J, K 三者关系为 ()。
5. 要构成 17 进制计数器, 最少需要 () 个触发器。
6. 为了构成 16K×32bit 的 RAM, 需要 () 块 2K×8bit 的 RAM, 地址线的高 () 位作为地址译码的输入。
7. () 是 FPGA 中实现可编程功能的基本单元。
8. JK 触发器组成如图 2 所示的电路。若 CP 时钟的频率为 1MHz, 则 Q3 端的输出频率为 ()。

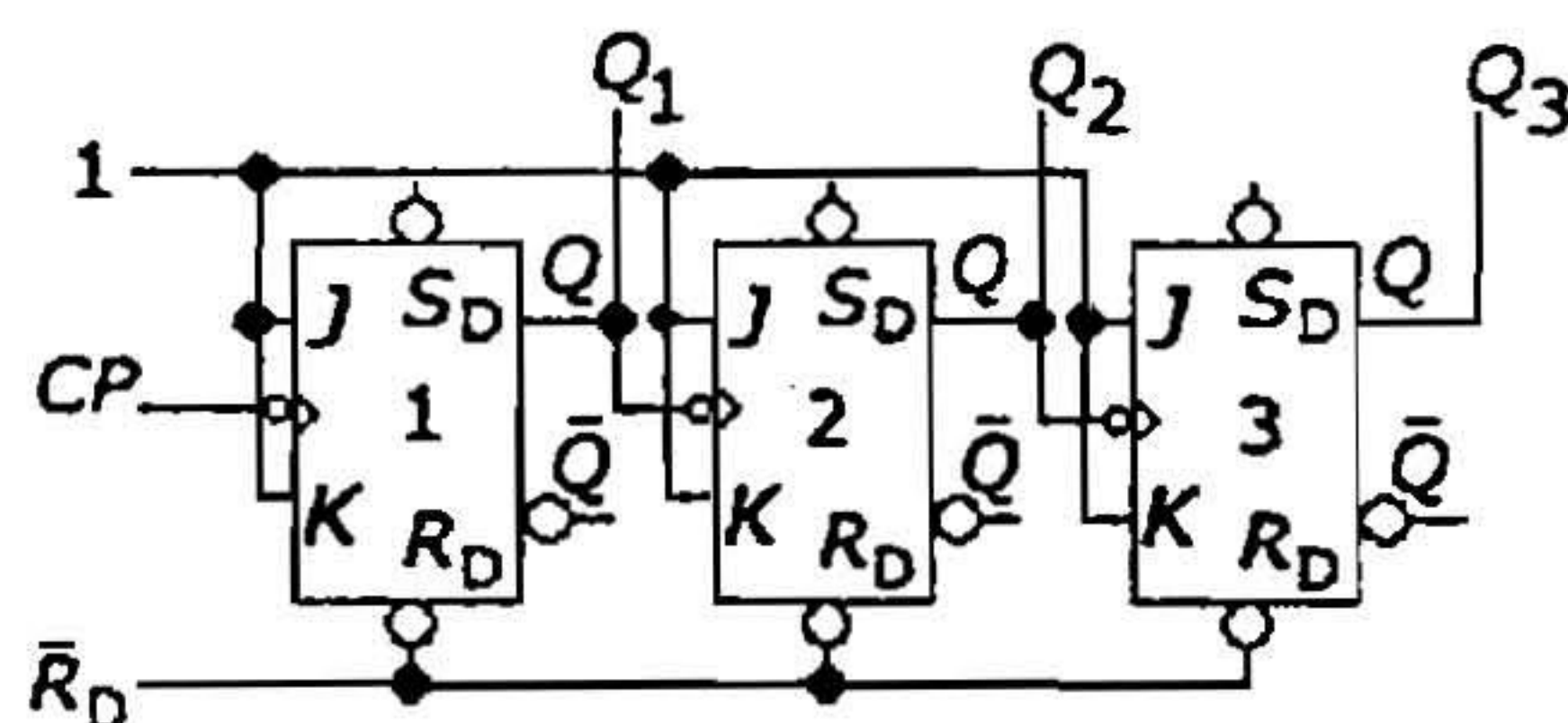


图 2

9. 如果函数 $F = \sum_{A,B,C} (1,2,3,6)$, 则 $F^0 = \prod_{A,B,C} ()$ 。

二、选择 (每题只有一个最合适的答案, 每小题 2 分, 共 20 分):

1. 两个函数 $F_1 = AB + \overline{A}CD + BC$ 和 $F_2 = (A + \overline{B})(\overline{A} + \overline{C})$, 就它们是否存在竞争冒险现象判断正确的是 ()。
 A. F1 和 F2 都不存在
 B. F1 存在, F2 不存在
 C. F1 不存在, F2 存在
 D. F1 和 F2 都存在
2. 标准与或式是由 () 构成的逻辑表达式。

- A. 与项相或 B. 最小项相或 C. 最大项相与 D. 或项相与
3. 欲使一个逻辑门的输出, 作为它的另一个门的输入, 并良好地驱动它, 则其高低电平值必须满足下述哪个条件。 ()
- A. $V_{OH} > V_{IH}$ 和 $V_{OL} > V_{IL}$; B. $V_{OH} < V_{IH}$ 和 $V_{OL} > V_{IL}$;
C. $V_{OH} < V_{IH}$ 和 $V_{OL} < V_{IL}$; D. $V_{OH} > V_{IH}$ 和 $V_{OL} < V_{IL}$.
4. 用或非门构成钟控 R-S 触发器发生竞争现象时, 输入端的变化是 ()
- A. 00→11 B. 01→10
C. 11→00 D. 10→01
5. 用 PROM 来实现组合逻辑电路, 他的可编程阵列是 ()
- A. 与阵列 B. 或阵列
C. 与阵列和或阵列都可以 D. 以上说法都不对
6. 半加器的和输出端与输入端的逻辑关系是 ()。
- A. 与 非 B. 或非 C. 与或非 D. 异或
7. () 电路在任何时刻只能有一个输出端有效。
- A. 二进制译码器 B. 二进制编码器
C. 7 段显示译码器 D. 十进制计数器
8. TTL 与非门的低电平输入电流为 1.5mA, 高电平输入电流为 10uA, 最大灌电流为 15mA, 最大拉电流为 400uA, 则其扇出系数为 $N_o = ()$ 。
- A. 5 B. 10 C. 40 D. 20
9. 逻辑函数 $F(A, B, C) = \sum m(1, 2, 3, 6)$, $G(A, B, C) = \sum m(0, 2, 3, 4, 5, 7)$, 则 F 和 G 相与的结果为 ()。
- A. AB B. 1 C. $\overline{AB}$ D. 0
10. NMOS ROM 电路如图 3 所示。已知地址译码器译中的通道输出 W_i 为高电平。根据电路结构, 推断出 0-7 单元中内存单元 5 的内容为 ()
- A. 00101010 B. 10111000 C. 01110001 D. 10001110

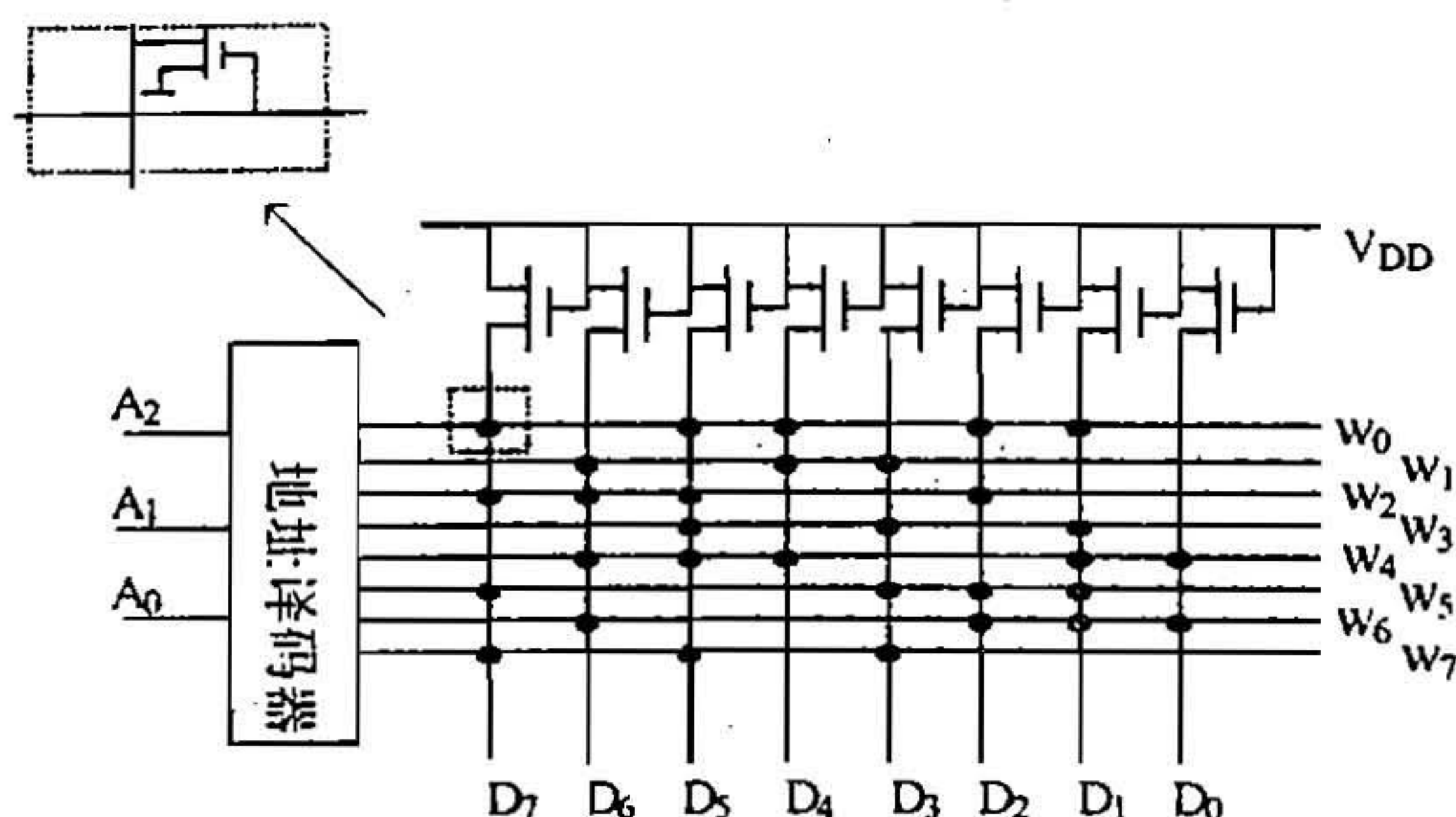


图 3

三、电路分析（共 8 分）

触发器构成的电路和输入波形如图 4 所示，试写出 Q_1 、 Q_2 的状态方程并画出输出端 Q_1 、 Q_2 的波形。

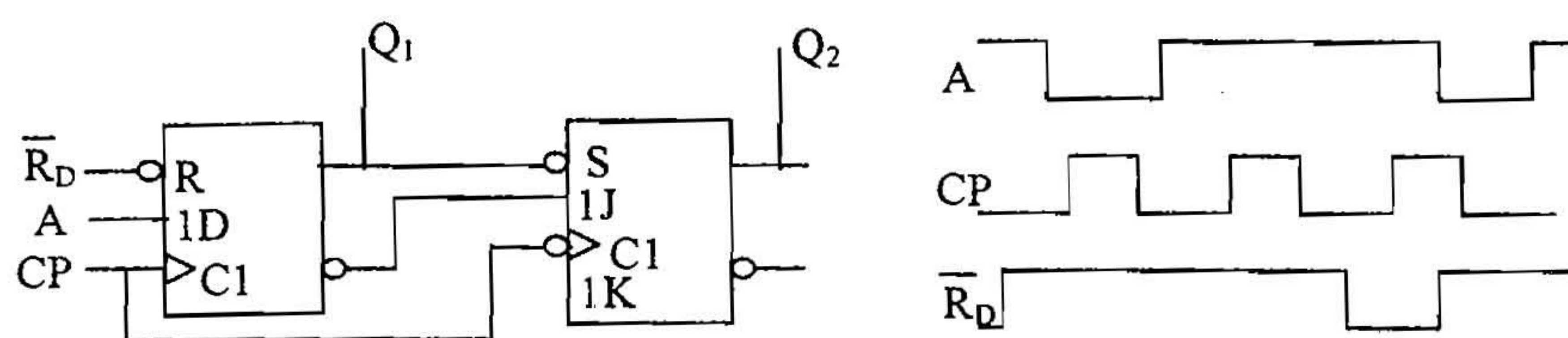


图 4

四、电路设计（共 27 分）

1. 试用 3-8 译码器 74138（逻辑图及真值表如图 5 所示）及适当的门电路设计一个全减器。设计 $A_2=M$ （被减数）， $A_1=N$ （减数）， $A_0=J_i$ （低位借位），差为 Y ，向高位输出的借位信号为 J_o ，简述设计步骤，画出连线图。（12 分）

$\overline{EN}_1$	$\overline{EN}_{2A}$	$\overline{EN}_{2B}$	A_2	A_1	A_0	$\overline{Y}_7$	$\overline{Y}_6$	$\overline{Y}_5$	$\overline{Y}_4$	$\overline{Y}_3$	$\overline{Y}_2$	$\overline{Y}_1$	$\overline{Y}_0$
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
1 0 0			0	0	0	1	1	1	1	1	1	1	0
			0	0	1	1	1	1	1	1	0	1	1
			0	1	0	1	1	1	1	1	0	1	1
			0	1	1	1	1	1	1	0	1	1	1
			1	0	0	1	1	1	0	1	1	1	1
			1	0	1	1	1	0	1	1	1	1	1
			1	1	0	1	0	1	1	1	1	1	1
			1	1	1	0	1	1	1	1	1	1	1

图 5 74138 的逻辑图和功能表

2. 试用两片 74161 电路设计分频电路，采用 $M=9 \times 12$ 的形式，第二片电路的进位输出 CO 端为分频输出。画出状态转换图，画出相应的连线图。（15 分）

$\overline{RD}$	$\overline{LD}$	CT_T	CT_P	CP	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$
L	X	X	X	X	X X X X	L L L L
H	L	X	X	↑	$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 d_0$
H	H	L	X	X	X X X X	保持
H	H	X	L	X	X X X X	保持
H	H	H	H	↑	X X X X	计数

图 6 74161 的逻辑图和功能表