

2005 年攻读硕士学位研究生入学试题 考试科目：微机原理

一、 简述：(20 分，每题 5 分)

1、 说明 CPU 中 READY 引脚和时序 TW 的关系。

8086 在每一个 T3 时脉上升沿时均会检查 READY 信号的状态,若 READY 为高电平,则不产生 TW 状态,反之则将在 T3 之后插入 1 个或多个附加的时钟周期 TW。在 TW 状态,总线上的信息情况维持 T3 状态的信息情况,直到 CPU 检测到 READY 为高电平,则会自动脱离 TW 进入 T4 状态。

2、 说明 CPU 标志位 FLAG 中, IF 位和 CPU 引脚 NMI, INTR 的关系。

IF=1, 8086 开中断, 允许接受外部从 INTR 引脚发来的可屏蔽中断请求; 若 IF=0, 则表示 8086 关中断, 不能接受 INTR 引脚发来的中断请求。IF 的状态不影响非屏蔽中断 NMI 请求, 也不影响 CPU 响应内部中断请求。

3、 说明 8237DMAC 中, 压缩时序的功能。

缩短数据传输时间。压缩时序可以在 2 个时钟周期完成一次传输。

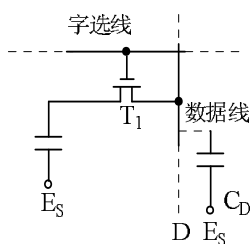
4、 在 CPU 与外设的数据传送中, 直接传送方式是否使用联络线, 为什么?

直接传送方式的适用前提是假定外设交换信息时, 如果输入或输出都能保证外设总是处于“准备好”状态, 则可以直接利用输入/输出指令进行信息的输入/输出操作。所以在这种方式下的硬、软件设计都比较简单, 不需要使用联络线。

二、 绘制单管动态存储器的电原理图, 并说明其工作过程。(10 分)

动态 RAM 的基本存储单元由一个 MOS 管 T_1 和位于其栅极上的分布电容 c 构成。当栅极电容 C 上充有电荷时, 表示该存储单元保存信息“1”。反之, 当栅极电容上没有电荷时, 表示该单元保存信息“0”。由于栅极电容上的充电与放电是两个对立的状态, 因此, 它可以作为一种基本的存储单元。写操作: 字选择线为高电平, T_1 管导通, 写信号通过位线存入电容 C 中; 读操作: 字选择线仍为高电平, 存储在电容 C 上的电荷, 通过 T_1 输出到数据线上, 通过读出放大器, 即可得到所保存的信息。

电原理图如下:



三、 叙述 8259 中断控制器中, 中断结束命令 EOI 的功能。并且说明其分类以及相应的使用场合。(10 分)

按照对中断结束（复位中断响应寄存器 **ISR** 中相应位）的不同处理，8259A 有两种工作方式，即自动结束方式（**AEOI**）和非自动结束方式。而非自动结束方式又可进一步分为一般的中断结束方式和特殊的中断结束方式。

(1). 中断自动结束方式：这种方式仅适用于只有单片 8259A 的场合，在这种方式下，系统一旦响应中断，那么 CPU 在发第二个 **INTA** 脉冲时，就会使中断响应寄存器 **ISR** 中相应位复位，这样一来，虽然系统在进行中断处理，但对于 8259A 来讲，**ISR** 没有相应的指示，就象中断处理结束，返回主程序之后一样。CPU 可以再次响应任何级别的中断请求。

(2). 一般的中断结束方式：一般的中断结束方式适用用在全嵌套的情况下，当 CPU 用输出指令向 8259A 发一般中断中断结束命令 **OCW2** 时，8259A 才会使中断响应寄存器 **ISR** 中优先级别最高的位复位。

(3). 特殊的中断结束方式：在特殊全嵌套模式下，系统无法确定哪一级中断为最后相应和处理的中断，也就是说，CPU 无法确定当前所处理的是哪级中断，这时就要采用特殊的中断结束方式。特殊的中断结束方式是指在 CPU 结束中断处理之后，向 8259A 发送一个特殊的 **EOI** 中断结束命令，这个特殊的中断结束 **EOI** 命令，明确指出了中断响应寄存器 **ISR** 中需要复位的位。

四、 8086CPU 为核心可构成最大组态和最小组态，比较两种组态在构成上的异同。（10 分）

为了适应各种使用场合，在设计 8086CPU 芯片时，就考虑了其应能够使它工作在两种模式下，即最小模式与最大模式。

所谓最小模式，就是系统中只有一个 8086 微处理器，在这种情况下，所有的总线控制信号，都是直接由 8086CPU 产生的，系统中的总线控制逻辑电路被减到最少，该模式适用于规模较小的微机应用系统。

最大模式是相对于最小模式而言的，最大模式用在中、大规模的微机应用系统中，在最大模式下，系统中至少包含两个微处理器，其中一个为主处理器，即 8086/8086CPU，其它的微处理器称之为协处理器，它们是协助主处理器工作的。

当 8088/8086CPU 的 MN/\overline{MX} 引脚固定接+5V 时，CPU 处于最小模式下；

当 8088/8086CPU 的 MN/\overline{MX} 引脚固定接地时，CPU 处于最大模式下；

8086 在最小模式下的典型配置：① MN/\overline{MX} 端接+5V，决定了 CPU 的工作模式；②有一片 8284A，作为时钟信号发生器；③有一片 8282 或 74LS273，用来作为地址信号的锁存器；④当系统中所连的存储器和外设端口较多时，需要增加数据总线的驱动能力，这时，需用 2 片 8286/8287 作为总线收发器。

8086 在最大模式下的典型配置：可以看出，最大模式和最小模式在配置上大部分相同，它们的主要差别在于在最大模式下，要用 8288 总线控制器来对 CPU

发出的控制信号进行变换和组合，以得到对存储器或 I/O 端口的读/写信号和对锁存器 8282 及总线收发器 8286 的控制信号。在最大模式的系统中，一般还有中断优先级管理部件。