

三、增益可调的同相串联型差动运放电路如图 3. 所示。设 A_1 、 A_2 为理想运放，求：

(12 分)

1. 当 R_w 未接入时， V_o 与 V_{i1} 、 V_{i2} 的关系式， A_1 和 A_2 各为何种类型的运算电路？
2. 接入 R_w 后， V_{o1} 与 V_{i1} 、 V_{i2} 的关系式；
 V_o 与 V_{i1} 、 V_{i2} 的关系式。

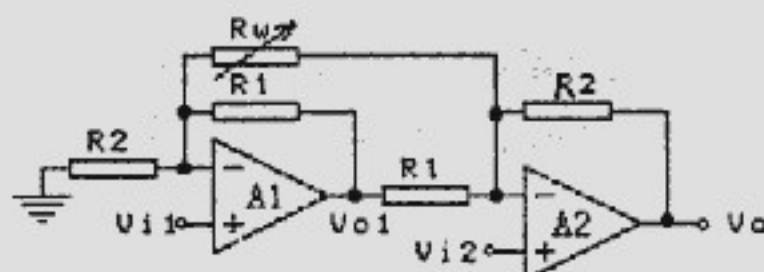


图 3.

四、一放大电路如图 4. 所示。 T_1 与 T_2 特性对称， β 和 r_{be} 已知，集成运放 A 为理想运放，电位器 R_w 的滑动端处在中间位置。(8 分)

1. 设 AB 与 A'B' 断开，写出 V_{ab}/V_i 的表达式；
2. 若 AB 与 A'B' 连上，写出 V_o/V_i 的表达式。

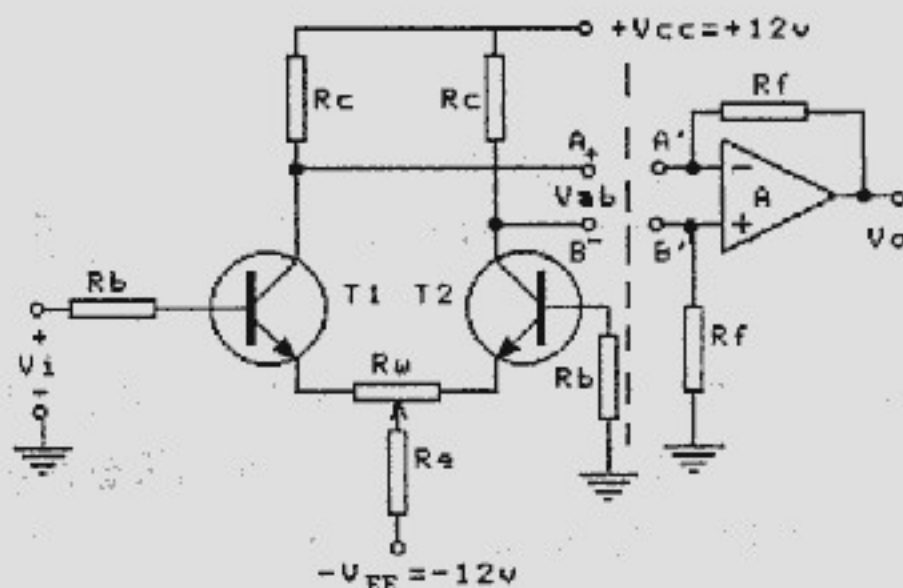
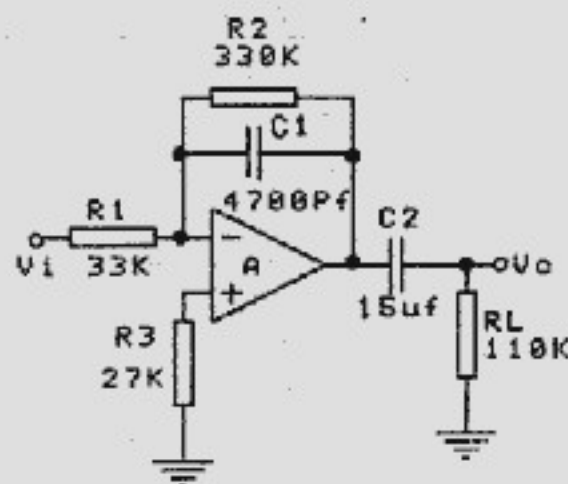


图 4.

五、一运算放大器电路如右图 5. 所示，集成运放是理想运放，求：(10 分)

1. 该电路的中频电压增益 A_{vm} 是多少？在中频时，该电路是什么类型的运算电路？它引入的是何种类型的反馈？
2. 该电路的上限、下限截止频率是多少？



六、逻辑代数：(10 分)

1. 若将十进制数 $(10^{15})_{10}$ 换算成二进制数，需要用几位二进制数表示？(4 分)
(要求写出简单的分析过程)
2. 用逻辑函数公式法证明：(6 分)

$$\overline{B}C\overline{D} + B\overline{C}D + ACD + \overline{A}B\overline{C}\overline{D} + \overline{A}\overline{B}CD + B\overline{C}\overline{D} + BCD = \overline{B}C + B\overline{C} + BD$$

- 七、设计一组合电路，X 为控制输入，A、B、C 为输入，F 为输出。当 X=0 时，该电路完成意见一致功能（只有当 A、B、C 都相同时，输出 F 才为 1，否则为 0）；当 X=1 时，完成意见不一致功能。画出逻辑电路图。(10 分)
- 供选择的器件有：两输入与非门，异或门，四选一数据选择器。

八、分析图 8. 所示的逻辑电路。(10 分)

- ① 作出状态转换图；
- ② 若电路的起始状态 $Q_2Q_1=10$ 时，写出输入序列 X 为 {10100} 时的输出序列 Z。

九、已知某时序逻辑电路的原始状态表如表 1 所示。(10 分)

- ① 试写出最简状态表（即最小化状态表）；
- ② 问最少需用几个触发器才能实现该时序逻辑电路？
(要求写出分析过程)

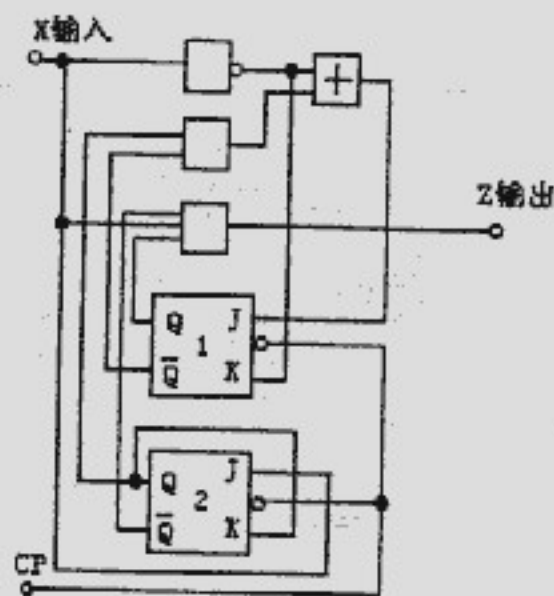


图 8.

表 1: 原始状态表

S(t)	N(t)		Z(t)	
	X=0	X=1	X=0	X=1
A	A	C	0	1
B	E	G	1	1
C	G	E	0	1
D	A	C	1	1
E	C	C	0	1
F	D	B	1	0
G	A	G	0	1
H	F	D	0	1
I	B	B	1	0

十、CT54/74161 可预置四位二进制加法计数器符号如图 10 所示。图中 \overline{CR} 为复位端, \overline{LD} 为置数控制端, CT_T 、 CT_P 为计数控制端, D_0 、 D_1 、 D_2 、 D_3 为置数输入端。功能表如表 2 所示。试通过适当连接构成八进制计数器。(10 分)
(允许附加门)

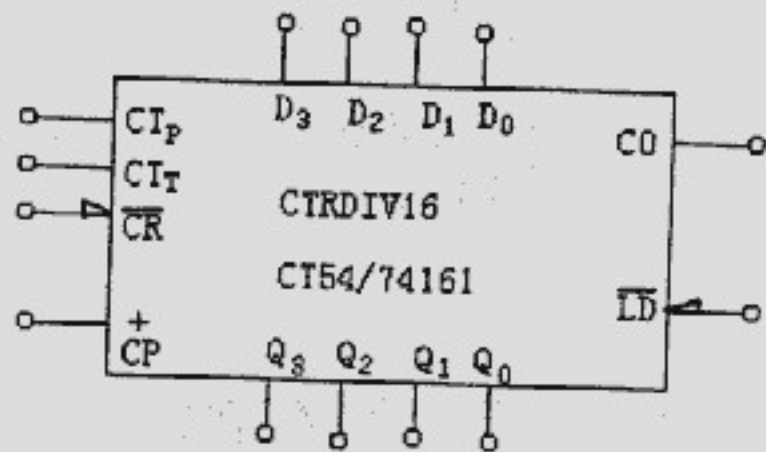


图 10.

表 2:

输 入									输 出			
\overline{CR}	\overline{LD}	CT_T	CT_P	CP	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
0	X	X	X	X	X	X	X	X	0	0	0	0
1	0	X	X	\uparrow	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
1	1	1	1	\uparrow	X	X	X	X	计 数 触发器保持, CO=0 保 持			
1	1	0	X	X	X	X	X	X				
1	1	1	0	X	X	X	X	X				