

# 广东工业大学

## 2012 年攻读硕士学位研究生入学考试试题

考试科目（代码）名称：(832) 计算机组成原理

满分 150

(考生注意：答卷封面需填写自己的准考证编号，答完后连同本试题一并交回!)

### 一、填空题 (30 分, 每空 1 分)

- 1 按照 IEEE754 标准, 浮点数由: 符号位 S、\_\_\_\_E 及 \_\_\_\_M 三个域组成。
- 2 8 位二进制补码所能表示的十进制整数范围是 \_\_\_\_\_ 至 \_\_\_\_\_。
- 3 存储器按在计算机系统中的作用分有: 主存储器、辅助存储器、\_\_\_\_和 \_\_\_\_\_。
- 4 某 SRAM 芯片, 存储容量为  $16K \times 8$  位, 该芯片的地址线数目为 \_\_\_\_\_, 数据线数目为 \_\_\_\_\_。
- 5 主存与 Cache 的地址映象方式有 \_\_\_\_\_、\_\_\_\_\_和组相联。
- 6 如果说变址寻址方式主要是面向 \_\_\_\_\_ 的, 那么基址寻址一般是面向 \_\_\_\_\_ 的。
- 7 若存储器中的内容是 \_\_\_\_\_ 的地址, 则使用的寻址方式是 \_\_\_\_\_。
- 8 常用数据寻址方式有 10 种, 其中 2 种是 \_\_\_\_\_ 和 \_\_\_\_\_。
- 9 CPU 四个基本功能各是: \_\_\_\_\_、\_\_\_\_\_、时间控制和数据加工。
- 10 在 CPU 的状态寄存器中, 常设置以下状态位: 零标志位 Z, 负标志位 N, \_\_\_\_\_ 和 \_\_\_\_\_。
- 11 微程序控制器主要由三大部分组成, 其中 \_\_\_\_\_ 是只读型存储器, 用来存放 \_\_\_\_\_。
- 12 集中式总线仲裁有三种仲裁方式: 计数器定时查询、\_\_\_\_\_及 \_\_\_\_\_。
- 13 CRT 显示器上构成图像的最小单元或图像中的一个点称为 \_\_\_\_\_。磁盘记录面上一系列同心圆称为 \_\_\_\_\_。
- 14 分辨率为  $1280 \times 1024$  的显示器, 若灰度为 256 级, 则刷新存储器的容量最小为 \_\_\_\_\_ 字节; 若采用 32 位真彩色方式, 则刷新存储器容量最小为 \_\_\_\_\_ 字节。
- 15 通道是一个特殊功能的处理器, 它有自己的 \_\_\_\_\_ 专门负责数据输入/输出传输控制, CPU 只负责 \_\_\_\_\_ 功能。

### 二、选择题 (15 分, 每题 1 分)

- 1 冯·诺依曼计算机工作的基本方式的特点是 \_\_\_\_\_。  
A、多指令流单数据流                      B、按地址访问并顺序执行指令



- B、必须采用异步控制方式  
C、可以选用同步方式，也可选用异步方式  
D、必须采用应答方式
- 14 CRT 图形显示器的分辨率表示\_\_\_\_\_。  
A、一个图像点（像素）的物理尺寸  
B、显示器一行能显示的最大图像点数与一列能显示的最大图像点数  
C、显示器屏幕可视区域的大小  
D、显示器能显示的字符个数
- 15 下列陈述中正确的是\_\_\_\_\_。  
A、在 DMA 周期内，CPU 不能执行程序  
B、中断发生时，CPU 首先执行入栈指令将程序计数器内容保护起来  
C、DMA 传送方式中，DMA 控制器每传送一个数据就窃取一两个存储周期  
D、输入输出操作的最终目的是要实现 CPU 与外设之间的数据传输

### 三、简答题（30 分，每题 5 分）

- 1 什么是指令？什么是程序？
- 2 指令和数据均存放在内存中，计算机如何区分它们是指令还是数据？
- 3 有 5 种存储器，主存、高速缓存、寄存器组、光盘存储器和硬磁盘存储器，要求：  
(1)按存储容量和存储周期排出顺序；  
(2)将有关存储器排列组成一个存储体系，指明各存储器之间交换信息时的传送方式。
- 4 什么是 RISC？RISC 指令系统的特点是什么？
- 5 请说明指令周期、机器周期、时钟周期之间的关系。
- 6 集中式仲裁有几种方式？说明其工作原理。

### 四、分析设计题（75 分，共 7 题）

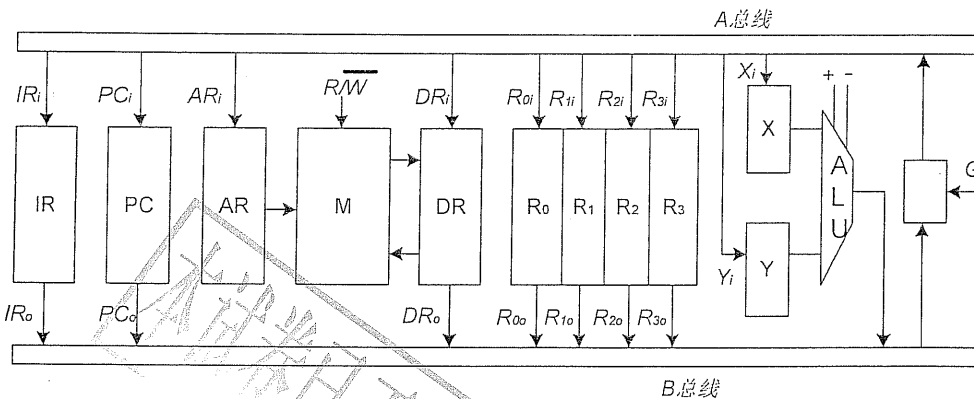
- 1 (10 分)  $A = -0.1001$ ,  $B = 0.0100$  用补码运算求  $A - B$ ，写出详细运算过程。
- 2 (10 分) 主存容量为 4MB，虚存容量为 1GB，按 64 位寻址，则虚存地址和物理地址各为多少位？如页面大小为 4KB，则页表长度（项数）是多少？
- 3 (10 分) 某总线在一个总线周期中并行传送 4 个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为 33MHz，则总线带宽是多少？  
如果一个总线周期中并行传送 64 位数据，总线时钟频率升为

66MHz, 则总线带宽是多少?

- 4 (10分)指令格式结构如下所示, 试分析该指令格式及寻址方式的特点?



- 5 (10分)某机器中, 已知配有一个地址空间为 0000H~1FFFH(16进制)的 ROM 区域, 现再有若干 RAM 芯片(8Kx4), 形成一个 16Kx8 的 RAM 区域, 起始地址为 2000H。假设 RAM 芯片有  $\overline{CS}$  和  $\overline{WE}$  信号控制端。CPU 地址总线为 A15~A0, 数据总线为 D7~D0, 控制信号为 R/W(读/写), MREQ(当存储器进行读或写操作时, 该信号指示地址总线上的地址是有效的)。详细分析并画出此存储器组成结构图(包括与 CPU 连接)。
- 6 (15分)下图为双总线结构的机器, IR 为指令寄存器, PC 为程序计数器(具有自增功能), M 为主存(受 R/W 信号控制), AR 为主存地址寄存器, DR 为数据缓冲寄存器, ALU 由 +、- 控制信号决定可完成何种操作, 控制信号 G 控制的是一个门电路。另外, 线上标注有控制信号, 例如  $Y_i$  表示 Y 寄存器的输入控制信号,  $R_{10}$  为寄存器  $R_1$  的输出控制信号。未标字符的线为直通线, 不受控制。“SUB  $R_1, R_3$ ”指令完成  $(R_3)-(R_1) \rightarrow R_3$  的功能操作。用方框图画出其指令周期流程图, 并列出的微操作控制信号序列



- 7 (10分)下图所示的二维中断系统
- (1)在中断情况下, CPU 和设备的优先级如何考虑? 请按降序排列各设备的中断优先级。
  - (2)若 CPU 现执行设备 B 的中断服务程序, IM2、IM1、IM0 的状态是什么? 若 CPU 现执行设备 D 的中断服务程序, IM2、IM1、IM0 的状态是什么?
  - (3)每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽? 如果不能, 采用什么方法可以达到目的?

