

深圳大学 2012 年硕士研究生入学考试初试试题

(答题必须写在答题纸上, 写在本试题纸上无效)

专业: 模式识别与智能系统

考试科目代码: 821 考试科目名称: 数字电路

本试卷共 4 页, 总分数为: 150 分。

(一) 按要求化简逻辑函数。如果有冒险现象的请指出是哪一种类型的冒险并且给出消除该冒险现象的方案 (采用添加冗余项的方式)。【20 分】

(1) $F_1(A,B,C,D) = \bar{A} \cdot \bar{B} + A \cdot B + C \cdot D + \bar{A} \cdot C \cdot \bar{D} + A \cdot C$, 求最简与或表达式 (5 分)

(2) $F_2(A,B,C,D) = A \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{C} \cdot \bar{D} + B \cdot D + \bar{B} \cdot C \cdot \bar{D}$, 求最简或与表达式 (5 分)

(3) $F_3(A,B,C,D) = \sum m(1,5,10,11,13) + \sum d(2,3,9)$, 求最简与或表达式 (5 分)

(4) $F_4(A,B,C,D) = \prod M(0,1,2,7,15) + \sum d(3,6,14)$, 求最简或与表达式 (5 分)

(二) 译码器 74138 的逻辑符号和真值表分别如图 1 和表 1 所示。试用该芯片和与非门实现逻辑函数:

$F(A,B,C,D) = ABC\bar{D} + AB\bar{D} + B\bar{D} + ACD$ (芯片的数量不限)。【20 分】

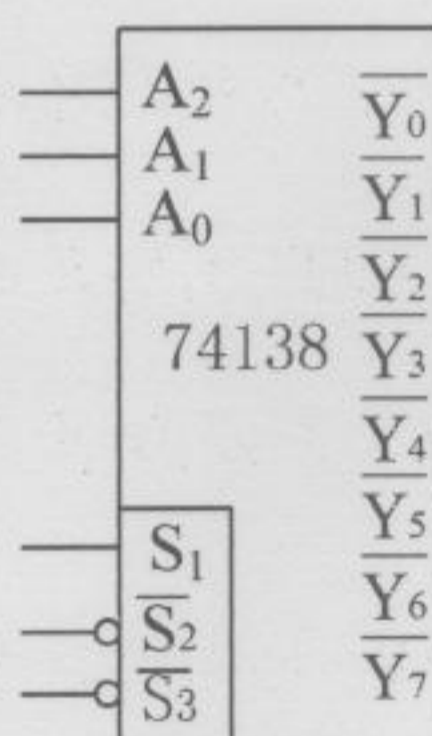


图 1. 译码器 74138 的逻辑符号

输 入					输 出							
S_1	$\bar{S}_2 + \bar{S}_3$	A_2	A_1	A_0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

表 1. 译码器 74138 的真值表

(三) 已知 1 位全加器的逻辑符号和真值表分别如图 2 和表 2 所示。试用该 1 位全加器构造 3 位超前进位加法器，给出进位的逻辑表达式及超前进位电路的逻辑结构（采用与门、或门及非门三种逻辑门实现）。【20 分】

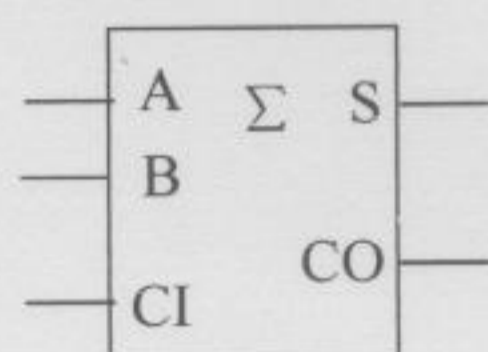


图 2.1 位全加器的逻辑符号

输入			输出	
CI	A	B	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

表 2.1 位全加器的真值表

(四) 图 3 为由 JK 触发器构成的电路，完成以下内容【20 分】

- (1) 写出驱动方程；(4 分)
- (2) 写出状态方程；(8 分)
- (3) 列出状态表；(4 分)
- (4) 画出状态图；(2 分)
- (5) 说明电路功能 (2 分)。

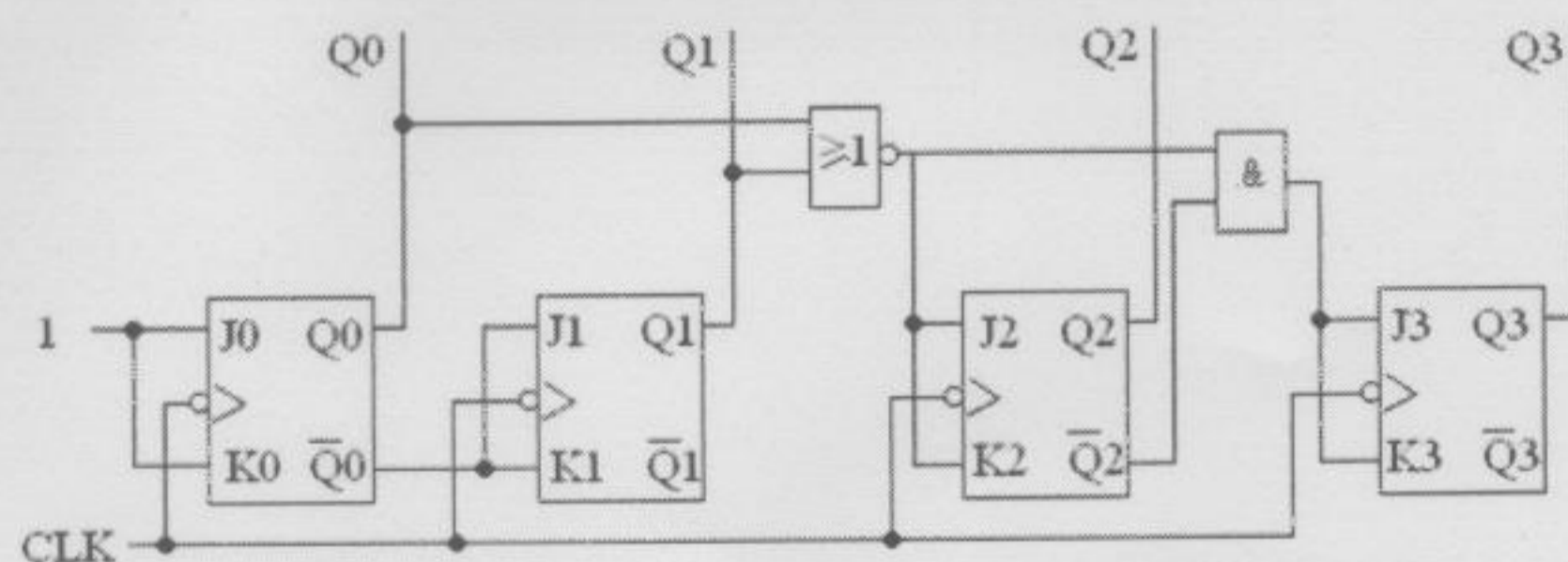


图 3. JK 触发器构成的电路

(五) 已知 D 触发器的逻辑符号和真值表分别如图 4 和表 3 所示, 采用该器件构成的电路如图 5(a)。【20 分】

(1) 写出图 5(a) 中电路每个 D 触发器的驱动方程和状态方程; (6 分)

(2) 如果图 5(a) 中电路 CLK 和 RST 信号的波形如图 5(b) 所示, 请绘出相应的输出信号 Q0、Q1、Q2 的波形; (12 分)

(3) 判断图 5(a) 中电路的功能。(2 分)

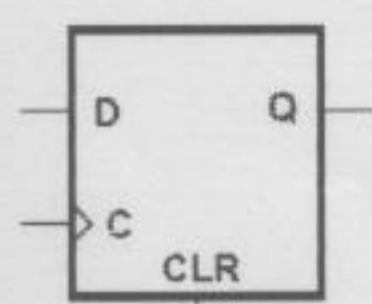


图 4. D 触发器的逻辑符号

输入			输出
CLR	D	C	Q
1	X	X	0
0	0	↑	0
0	1	↑	1

表 3. D 触发器的真值表

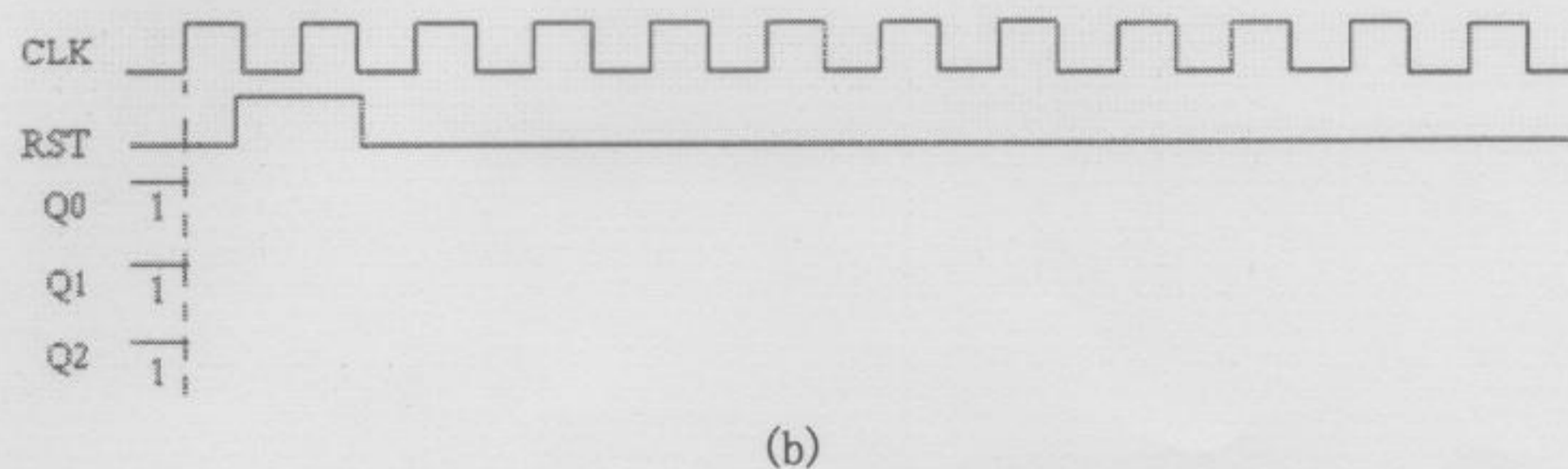
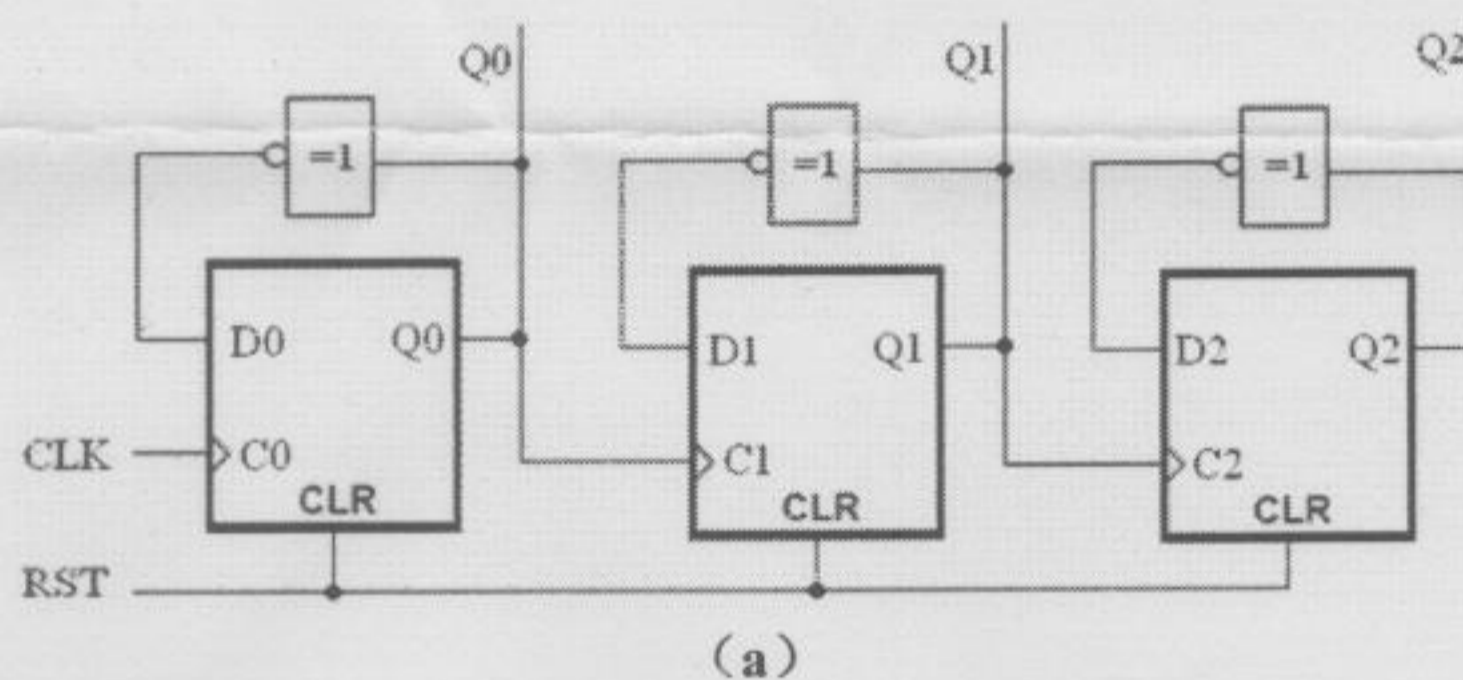


图 5. (a) D 触发器构成的电路, (b) CLK 和 RST 信号波形

(六) 十进制计数器 74LS160 的逻辑符号和真值表分别如图 6 和表 4 所示。采用该器件及与非门设计一个同步十六进制计数器（芯片的数量不限）。【20 分】

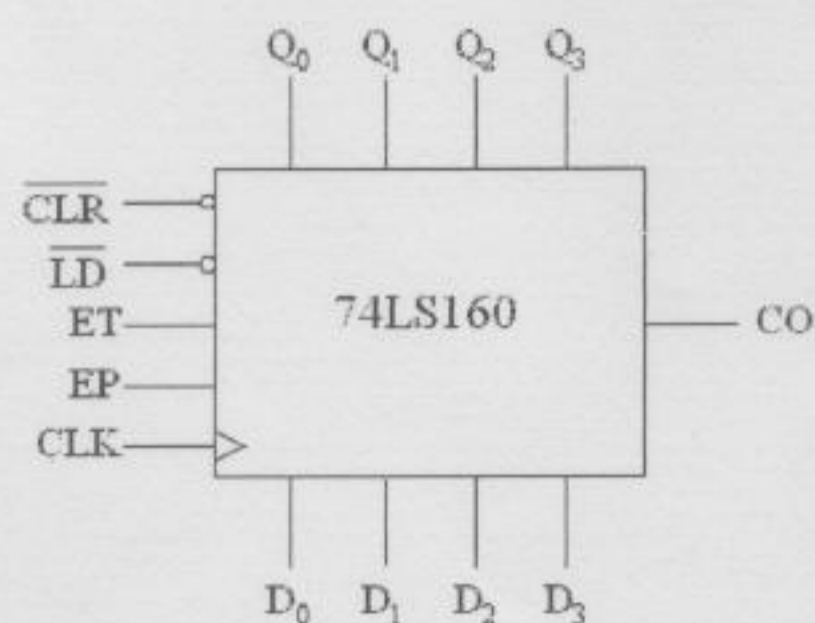


图 6. 74LS160 的逻辑符号

输 入									输 出				工作模式
$\overline{\text{CLR}}$	$\overline{\text{LD}}$	EP	ET	CLK	D ₀	D ₁	D ₂	D ₃	Q ₀ ⁿ⁺¹	Q ₁ ⁿ⁺¹	Q ₂ ⁿ⁺¹	Q ₃ ⁿ⁺¹	
0	X	X	X	X	X	X	X	X	0	0	0	0	异步清零
1	0	X	X	↑	d ₀	d ₁	d ₂	d ₃	d ₀	d ₁	d ₂	d ₃	同步置数
1	1	0	1	X	X	X	X	X	Q ₀ ⁿ	Q ₁ ⁿ	Q ₂ ⁿ	Q ₃ ⁿ	保持
1	1	X	0	X	X	X	X	X	Q ₀ ⁿ	Q ₁ ⁿ	Q ₂ ⁿ	Q ₃ ⁿ	保持(CO = 0)
1	1	1	1	↑	X	X	X	X	十进制加法计数				计数

表 4. 74LS160 的真值表

(七) T 触发器的逻辑符号和真值表分别如图 7 和表 5 所示。采用该 T 触发器设计一个 4 位同步十进制加法计数器。该计数器应包含一个进位信号 C_{OUT}，当计数器的状态从 1001 变为 0000 时 C_{OUT} 位输出一个长度为 1 个时钟周期的脉冲信号。【30 分】

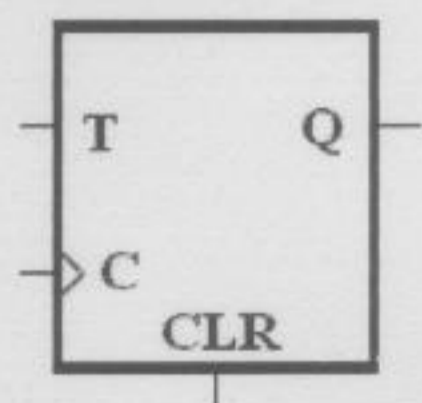


图 7. T 触发器的逻辑符号

输入			输出
CLR	T	C	Q
1	X	X	0
0	0	X	不变
0	1	↑	翻转

表 5. T 触发器的真值表