

国防科技大学研究生院 1997 年硕士生入学考试

计算机原理与系统结构试题

注意：1. 统考生做一、二、三、四、五题

2. 单独考生做一、二、三、四、六题

3. 答案只能写在答题纸上

一. 名词解释（每个 2 分，共 20 分）

1. 通道状态字 2. 中断隐指令 3. 记录方式 4. 异常 5. 自同步能力
6. MIMD 7. “写—写”相关 8. 吞吐率 9. Cache 失效率 10. 基准（典型）程序法

二. 填空（每空 1 分，共 20 分）

（第 1——5 小题必做，在第 6——14 小题中，或做第 6——9 小题，或做第 10——14 小题）

1. 判别定点溢出的一般常用方法有（ ）和（ ）。
2. 描写存取向量数据的主要参数是（ ）、（ ）、（ ）。
3. I/O 设备的编址，通常有（ ）和（ ）两种方式。
4. 定点光栅扫描 CRT 字符显示器中，缓冲（刷新）存储器存放的是（ ），而字符发生器（ROM）存放的是（ ）。
5. 激光打印机中，声光调制器是以改变（ ）来实现控制激光束的方向。
6. 影响流水线性能的因素主要有（ ）、（ ）、（ ）。
7. 一台计算机的价格除平均折扣与毛利之外，还应包括（ ）、（ ）。
8. 评测 I / O 系统的性能指标主要有（ ）、（ ）。
9. 大体上，互连网络可以分成（ ）、（ ）、（ ）。
10. 系列机是指在同一厂家内生产的具有相同的（ ），但具有不同的（ ）的系列不同型号的机器。
11. 从执行程序的角度看，并行性从低到高可分为指令内部并行、（ ）并行、（ ）并行和（ ）并行。
12. 按照流动方式，流水线可分为（ ）流水线和（ ）流水线。
13. 流水机器处理中断的关键是（ ）。
14. 设 $\delta(x)$ 和 $\beta(x)$ 分别是表示全混洗排列和蝶式排列， $x = \{00111010\}$ ，则 $\sigma^{(4)}(x) =$ （ ）， $\beta_{(5)}(x) =$ （ ）。

三、简答下列问题（每个 3 分，共 12 分）

1. 动态 MOS 存储器为什么要刷新？怎样实现刷新？
2. 试比较程序中断（PI）和直接内存存取（DMA）有什么区别？
3. 单机中实现 Cache 与主存信息一致性有何方法？
4. 设计指令系统应考虑哪几个主要因素？

四. 计算题（每个 5 分，共 20 分）

1. 已知被乘数 $A = +0.0101$ ，乘数 $B = -0.1101$ ，试用补码乘法比较法（booth 乘法）求 $[A \times B]_{\text{补}} = ?$ （要写出计算竖式）

2. 有一双软盘，每面有 80 道，划分为 15 个扇区，盘的转速为 300RPM，磁头定位后，在任何磁道上的读写速率都是 500Kb/s。求：

（1）任意磁道上的扇区最大存储容量是多少字节？

- (2) 若磁道上的位密度是 9646 bpi, 则该盘片记录磁道的最小直径是多少?
3. 设下表表示各种向量操作的启动开销, 试计算下面一组向量指令在链接与不链接情况下的执行时间。(设向量长度为 n , 向量部件之间的链接不需要缓冲时间, 且访问流水线只有一条)

类型	启动开销 (通过时间)
向量加	6 拍
向量乘	7 拍
向量存取	12 拍

$V_1 \leftarrow \text{主存}$
 $V_2 \leftarrow \text{主存}$
 $V_3 \leftarrow V_1 + V_2$
 $V_4 \leftarrow V_3 + \text{标量}$

4. (1) 设在一个“Cache——主存”层次中, Cache 为 8 块, 主存为 32 块 (都从 0 开始编址)。试对于以下三种映射方法, 求主存第 10 块可以调入 Cache 的哪些位置。
- ① 直接映射;
 - ② 组相联映射 (组大小为 4, 采用位选择算法);
 - ③ 全相联映射。
- (2) 这三种映射方法各有何特点?

五、综合题 (仅统考生做)

(每小题 7 分, 共 28 分。第 1、2 小题必做; 第 3——6 小题中, 或做第 3、4 小题, 或做第 5、6 小题)

1. 已知 $A = 2^3 \times (-\frac{21}{32})$, $B = 2^5 \times (\frac{27}{32})$ 。试按规格化浮点除法规则, 求 $[A/B]_{\text{补}}$ 的商

$[C]_{\text{补}} = ?$ 和余数 $[R]_{\text{补}} = ?$ (假定阶码为 4 位含 1 位符号, 尾数为 6 位含 1 位符号)。

要求:

- (1) 阶码用移码表示, 尾数用补码表示;
 - (2) 用补码比较法或加减交替法 (两种任选其一) 求尾数商;
 - (3) 写出计算步骤和竖式。
2. 试画出微程序控制器的基本原理框图 (Wilkes 模型), 并说明其工作原理。
3. 设一个由并行编译器产生的目标代码的并行化比率只有 40%, 若分配给 128 台处理机, 加速比是多少? 若分配给 1024 台处理机, 加速比又是多少? 若经过优化, 并行化比率达到 95%, 情况又将如何? 计算结果对我们有什么启示? (设并行化部分能在任意多台处理机上平均分布)
4. 对网桥的测试表明, 消息包的到达率为 250 个包/S, 网关 (gateway) 每 2ms 转发一个消息包。设消息包的到达与转发服从指数分布, 请使用 M/M/2 模型, 求: (1) 网关的利用率; (2) 消息包在网关中的平均时间; (3) 网关中消息包的平均数。
5. 在有一个加法器和一个乘法器的多操作部件处理机上, 执行如下指令序列:

$$S_1: R_6 \leftarrow R_2 + R_3$$

$$S_2: R_2 \leftarrow R_4 * R_3$$

$$S_3: R_5 \leftarrow R_2 + R_1$$

$$S_4: R_3 \leftarrow R_6 + R_3$$

$$S_5: R_1 \leftarrow R_2 * R_3$$

设加法时间=2, 乘法时间=6, 调度时间=1, 对于具有虚拟操作部件的情况, 画出执行时间关系图, 说明需用多少时间, 指出发生操作部件冲突和操作数相关的情况。

6. (1) 简述用比较对法实现 LRU 替换算法的基本思想;

(2) 设共有 3 块, 分别为 A, B, C。用 T_{AB}, T_{AC}, T_{BC} 3 个触发器记录其状态, 并且设 $T_{AB}=1$

表示 A 比 B 更接近被访问过, 其余依次类推。画出其硬件实现逻辑图。

六. 综合题 (仅单独考生做, 每小题 7 分, 共 28 分)

1. 已知 $A = 0.1101 \times 10^{001}$, $B = -0.1010 \times 10^{011}$ 阶码和尾数都用补码表示。试用浮点加法求 $[A + B]_{\text{补}}$ = ? (要求写出计算步骤) (注: 式中的底数“10”是二进制表示的)

2. 有一字节多路通道, 连接终端 8 台, 打印机 3 台, 笔绘仪 1 台, 假定终端每隔 100us 要传送 1 个字节, 打印机每隔 150us 传送 1 个字节, 笔绘仪每隔 1ms 传送 1 个字节。试求该字节多路通道的实际流量是多少?

3. 某程序的页地址 (虚页) 如下:

(1) 3 5 3 7 6 6 3 2 5 3 2

当采用 LRU 替换算法时, 为获得可能最高的命中率, 至少应分配给该程序几个实页? 其可能的最高页命中率为多少?

4. (1) 画出 3 级立方体互连网络;

(2) 若要实现 $1 \rightarrow 7, 7 \leftarrow 1$ 的通讯, 试写出级控制信号; (设“1”表示交换, “0”表示直送)