

湖北工业大学

二〇〇七年招收硕士学位研究生试卷

试卷代号 441 试卷名称 计算机组成原理

- ① 试题内容不得超过画线范围，试题必须打印，图表清晰，标注准确
② 考生请注意：答题一律做在答题纸上，做在试卷上一律无效。

一. 单项选择题（每题 2 分，共 30 分）

- 在原码不恢复余数除法中，（ ）。
A. 余数为负则商为 1； B. 余数为负则商为 0；
C. 余数与除数异号则商为 1； D. 余数与除数异号则商为 0；
- 设 $[X]_{\text{补}}=1.X_1X_2X_3X_4$ ，仅当（ ）时， $X > -1/2$ 成立。
A. X_1 必须为 1， $X_2X_3X_4$ 至少有一个为 1；
B. X_1 必须为 1， $X_2X_3X_4$ 任意；
C. X_1 必须为 0， $X_2X_3X_4$ 至少有一个为 1；
D. X_1 必须为 0， $X_2X_3X_4$ 任意；
- 动态 RAM 利用（ ）。
A. 门电路存储信息； B. 寄存器存储信息； C. 电容存储信息； D. 触发器存储信息；
- 四片 74181ALU 和一片 74182CLA 器件相配合，具有如下进位传送功能（ ）。
A. 行波进位； B. 组内先行进位，组间先行进位；
C. 组内先行进位，组间行波进位； D. 组内行波进位，组间先行进位；
- 某计算机字长 32 位，其存储容量为 8MB，若按字编址，它的寻址范围是（ ）。
A. 0~256K； B. 0~512K； C. 0~1M； D. 0~2M；
- 主存贮器和 CPU 之间增加 cache 的目的是（ ）。
A 解决 CPU 和主存之间的速度匹配问题；
B 扩大主存贮器容量；
C 扩大 CPU 中通用寄存器的数量；
D 既扩大主存贮器容量，又扩大 CPU 中通用寄存器的数量；
- 存放微程序的控制存储器是（ ）。
A. 主存的一部分； B. 磁盘的一部分； C. 堆栈的一部分； D. CPU 的一部分；
- CPU 响应中断请求一般是在（ ）。
A. 一段程序结束时； B. 一条指令结束时；
C. 一个总线周期结束时； D. 一个时钟周期结束时；
- 在微程序控制方式中，一条机器指令通常对应（ ）。
A. 一个微操作； B. 一个微命令； C. 一条微指令； D. 一段微指令；
- 在读磁盘过程中，您磁盘适配器向主机发出 DMA 请求是在（ ）。
A. 启动磁盘时； B. 寻道完成时； C. 扇区缓冲器满时； D. 扇区缓冲器空时；

11. 中断方式区别于转子程序的主要特点是 ()。
- A. 要保存返回地址; B. 能处理复杂事态;
C. 在一条指令结束时进行程序切换; D. 具有随机性;
12. “总线忙”信号由 () 建立。
- A. 获得总线控制权的设备; B. 发出“总线请求”的设备; C. 总线控制器; D. CPU;
13. () 方式对实现程序的浮动提供了支持。
- A. 变址寻址; B. 相对寻址; C. 间接寻址; D. 寄存器间接寻址;
14. 下列指令中执行时间最长的是 ()。
- A. RR 型; B. RS 型; C. SS 型; D. 程序控制指令;
15. 在独立请求立式下, 若有 N 个设备, 则 ()。
- A. 有 N 个总线请求信号和 N 个总线响应信号;
B. 有一个总线请求信号和一个总线响应信号;
C. 总线请求信号多于总线响应信号;
D. 总线请求信号少于总线响应信号;

二. 填空题 (每空 1 分, 共 20 分)

- 在定点运算器中, 无论采用单符号位还是双符号位, 必须有_____判断电路, 它一般用_____来实现。
- 设浮点数字长为 24 位, 若表示 ± 6 万间的十进制数, 在保证数的最大精度条件下, 除阶码、数符各取 1 位外, 阶码应取_____位, 尾数应取_____位。
- 普通存储器是按_____访问存储器, 而相联存储器是按_____访问存储器。
- 组成一个 64K*16 位的存储器, 则地址线_____位, 若选用 32K*8 位的存储芯片, 共需要_____片。
- 流水 CPU 中的主要问题是数据相关, _____相关和_____相关。
- PCI 总线是一个与_____无关的高速外围总线, 它支持_____传送。
- 在微命令编码表示法中, 只能把_____微命令信号分成一组, _____微命令信号不能分在一组。
- 中断处理过程可以嵌套进行, _____的设备可以中断_____的中断服务程序。
- 在显示系统中, 字符点阵存放在_____中, 所需显示字符的 ASCII 代码存放在_____中。
- 某机采用二地址格式指令, 能完成 50 种操作, 若机器可在 1K 地址范围内直接寻址, 指令字长_____位, 每个地址码需要_____位。

三. 判断改错题 (先判断, 有错则改正) (每题 2 分, 共 20 分)

- 在浮点加减运算中, 对阶是将加数的阶码调整到与被加数的阶码相同。
- 基址寻址比变址寻址更能缩短指令的长度。
- 不使用 74182 芯片, 仅使用 16 片 74181 芯片就能构成 64 位先行进位的 ALU。
- 所谓记录方式就是磁表面存储器的记忆方式。
- 直接内存访问方式 (DMA), 是一种完全由硬件执行 I/O 交换的工作方式。
- 多级中断方式是指: CPU 同时处理多个中断请求。

您所下载的资料来源于 kaoyan.com 考研资料下载中心
获取更多考研资料, 请访问 <http://download.kaoyan.com>

7. 在相互通信的两个设备中，发送信息的一方是主设备。
8. Cache 存储单元与主存存储单元可采用统一编址方式。
9. 在主机中，只有内存能存放数据。
10. 内存地址寄存器用来指示从内存中取数据。

四. 简答题（每小题 5 分，共 40 分）

1. 写出十进制数 16 的 IEEE754 编码。
2. 利用补码和反码的定义，证明： $[X]_{补} = [X]_{反} + 2^{-n}$
3. DRAM 存储器为什么要刷新？如何刷新？有哪几种常用的刷新方式？
4. 微程序控制器主要由哪几部分构成？它是如何产生控制信号的？
5. 比较链式查询方式和计数器定时查询方式的优缺点。
6. 一个完善的指令系统应该包括哪几类指令？
7. 某机采用微程序控制器，已知每一条机器指令都由 4 条微指令组成，该机系统采用 8 位定长操作码格式。问控制器存储器至少应该能容纳多少条微指令？
8. 简述提高总线速度的措施。

五. (12 分) 画出程序中断方式基本接口示意图，简要说明 IM, IR, EI, RD, BS 五个触发器的作用。

六. (14 分) 主存的容量为 1MB, Cache 的容量为 16KB, 块的大小为 512B.

- (1) 写出主存的地址格式。
- (2) 写出 Cache 的地址格式。
- (3) 说明直接映像方式的地址映像过程。

七. (14 分) 图 1.1 (见第 4 页) 中给出了微程序控制的部分微指令序列，图中每一框代表一条微指令。分支点 a 由指令寄存器 IR5、IR6 两位决定，分支点 b 由条件码标志 c 决定。现采用断定方式实现微程序的程序控制，已知微地址寄存器长度为 8 位，要求：

- (1) 设计实现该微指令序列的微指令字顺序控制字段的格式。
- (2) 给出 C、D、E、F 四条微指令的二进制编码地址。
(设微指令 B 的下地址字段为 10000000)。
- (3) 写出微地址转移逻辑表达式。

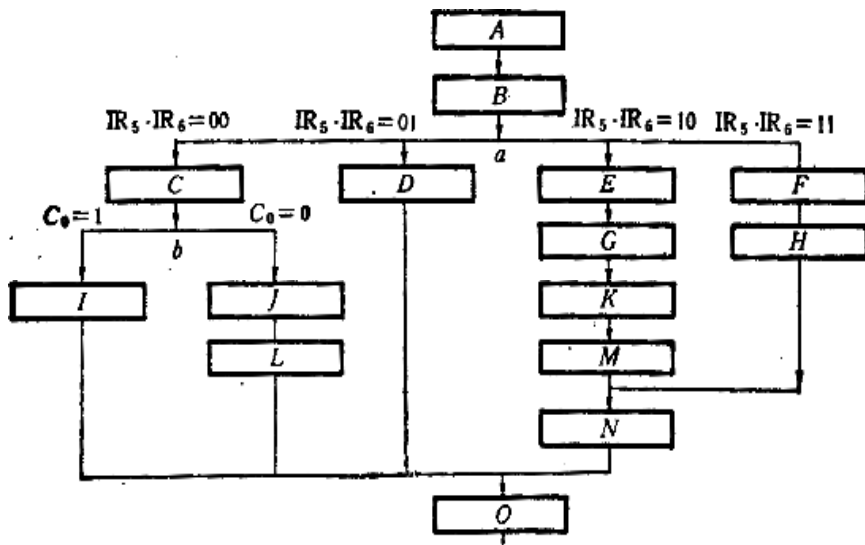


图 1.1

您所下载的资料来源于 kaoyan.com 考研资料下载中心
获取更多考研资料，请访问 <http://download.kaoyan.com>