

武汉科技学院

2005 年招收硕士学位研究生试卷

试卷代号 _____ 试卷名称 逻辑设计
 考试时间 _____ 报考专业 计算机

- 1、试题内容不得超过画线范围，试题必须打印，图表清晰，标注准确。
- 2、试题之间不能留有答卷的间隔，所有答案一律写在答题纸上，写在试卷或草稿纸上无效。

题号	一	二	三	四	五	六	七	八	九	十	十一	得分
得分												

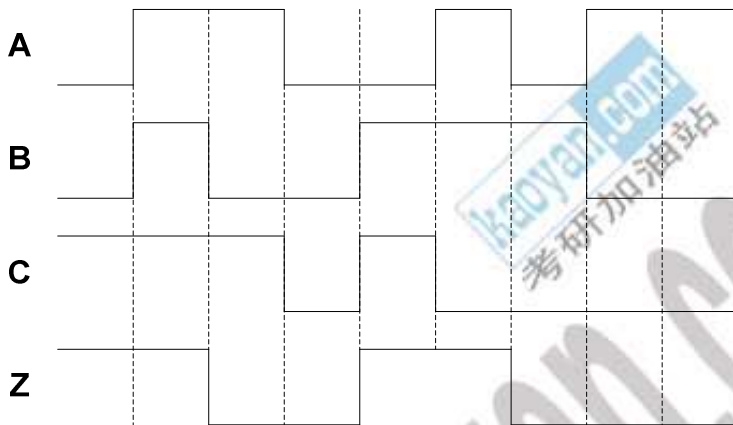
一、填空题（每题 4 分，共 20 分）

- (1) $(1100100)_2 = (\quad)_8$;
- (2) $(001100000001)_2 = (\quad)_{BCD}$;
- (3) 函数 $F = (A + \overline{B}) \cdot \overline{C + D}$ 的对偶式 $F' = (\quad)$;
- (4) 一个 5 位地址、8 位输出的 ROM，其存储容量为 (\quad) bit ;
- (5) $(-1101)_2$ 的补码为 $(\quad)_2$ 。

二、用公式法证明 $(A \oplus B) \odot (\overline{AB}) = \overline{AB}$ 。（15 分）

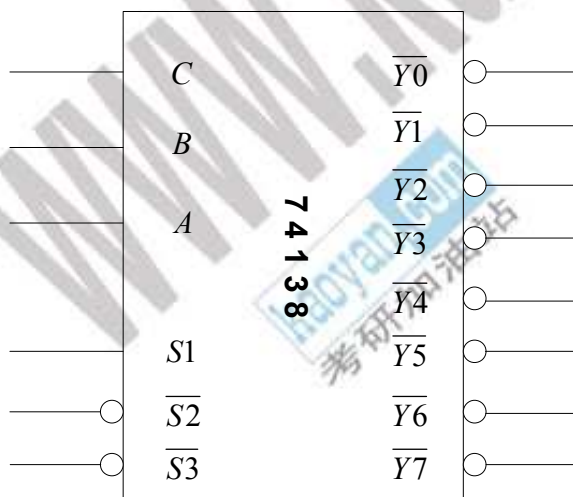
三、用卡诺图化简以下函数 $F = \sum m(1,4,9,13) + \sum \phi(5,6,7,10)$ 。（15 分）

四、根据如图波形写出其逻辑关系表达式 $Z=F(A,B,C)$ ，并化简。(17分)

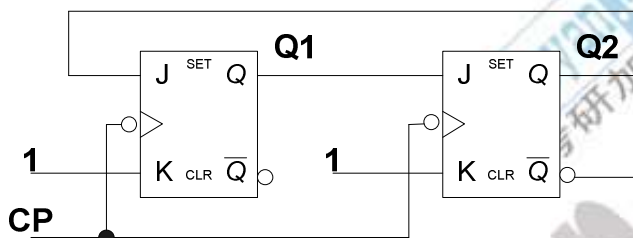


五、试用 3-8 译码器 74138 和少量的门电路实现逻辑函数

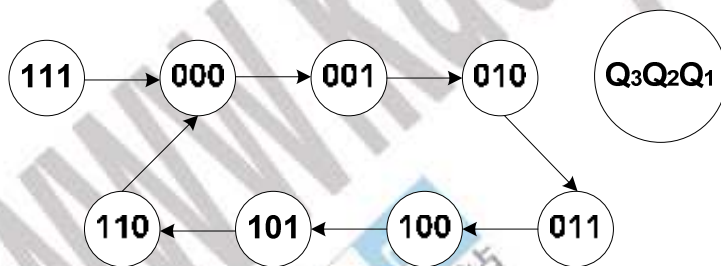
$$F(A, B, C) = ABC + BC + \bar{A}C \quad (18 \text{ 分})$$



六、分析如图时序电路的逻辑功能，写出电路的驱动方程、状态方程和输出方程，并画出电路的状态图和波形图。（15分）



七、试用 JK 触发器和门电路设计一个同步模七计数器，其状态图如图所示。（20分）



八、试用 PLA 构成全加器。（15分）

九、试用 VHDL 描述一个具有同步清零的 8 位同步计数器。（15分）

