

武汉科技学院

2010 年招收硕士学位研究生试卷

科目代码 816

科目名称 电子技术基础

考试时间 2010 年 1 月 10 日下午

报考专业

- 1、试题内容不得超过画线范围，试题必须打印，图表清晰，标注准确。
- 2、试题之间不留空格。
- 3、答案请写在答题纸上，在此试卷上答题无效。

题号	一	二	三	四	五	六	七	八	九	十	十一	得分
得分												

本试卷总分 150 分，考试时间 3 小时。

模拟部分（共 60 分）

一、选择填空（单选）（每空 1 分，共 10 分,只填字母,不写汉字）

- 1、当温度升高时,晶体管的输入特性曲线将_____。(A 不动 B.左移 C.右移)
- 2、一个 PNP 型硅晶体管，测得发射结电压 $U_{BE} = -0.7V$,集电结电压 $U_{CE} = 1V$ 。则该晶体管工作在_____区。(A. 截止 B. 放大 C. 饱和)
- 3、PN 结加正向电压时，空间电荷区将_____。(A. 变窄 B. 基本不变 C. 变宽)
- 4、差分放大电路的共模信号是两个输入端信号的_____。
(A. 差 B. 和 C. 平均值)
- 5、电流串联负反馈的输出电阻比反馈前_____。(A. 减小,B. 增大, C. 无改变)
- 6、将长尾式差分放大电路中的发射极电阻 R_e 增大,将使差分放大电路的_____。
(A. 共模放大倍数减小 B. 共模放大倍数增大
C. 差模放大倍数减小 D. 差模大倍数增大)
- 7、阻容耦合放大电路在低频信号作用时放大倍数数值下降的原因是_____。
(A. 半导体管的非线性特性 B.放大电路的静态工作点不合适
C.半导体管极间电容和分布电容的存在 D. 耦合电容和旁路电容的存在)
- 8、电源整流电路的主要目的是_____。

(A. 将高频信号变为低频 B. 将交流电能变直流电能 C. 将电压中的脉动成份降低)

9、欲减小电路从信号源索取的电流，增大带负载能力，应在放大电路中引入_____。

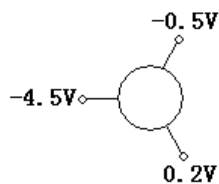
- (A. 电压串联负反馈 B. 电压并联负反馈
C. 电流串联负反馈 D. 电流并联负反馈)

10、集成运放工作在线性区时，该集成运放的外部电路结构特征为_____。

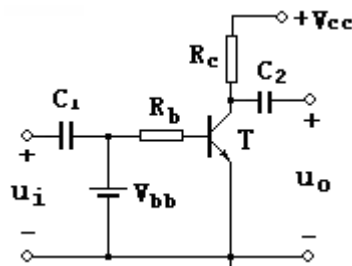
(A. 开环， B. 正反馈， C. 负反馈)

二、分析判断（每小题 6 分，共 24 分）

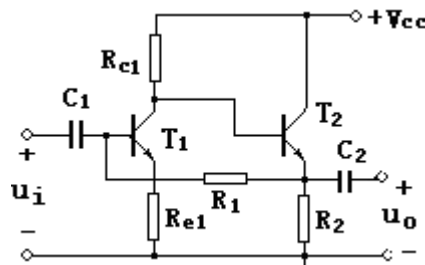
1、(6 分) 测得放大电路中某晶体管的直流电位如下图所示。在圆圈中画出管子符号，并标明三个引脚 e, b, c, 说明它们是硅管还是锗管，是 NPN 型还是 PNP 型。



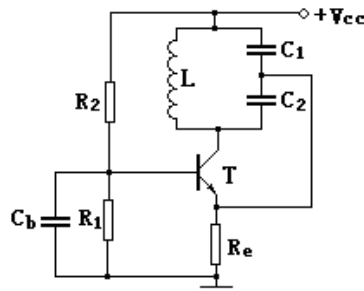
2、(6 分) 试判断以下电路能否正常放大，并写明理由。



3、(6 分) 试分析以下电路中有无反馈？是正反馈还是负反馈？是交流还是直流反馈？若是负反馈指出其是什么组态的负反馈？

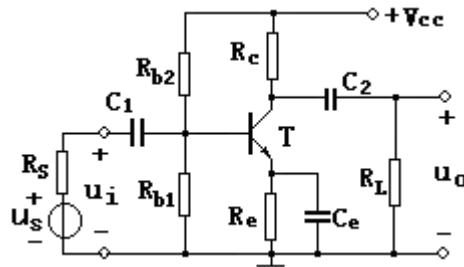


4、(6 分) 试分析下列电路，用相位平衡条件判断电路能否产生正弦波振荡。写明理由。



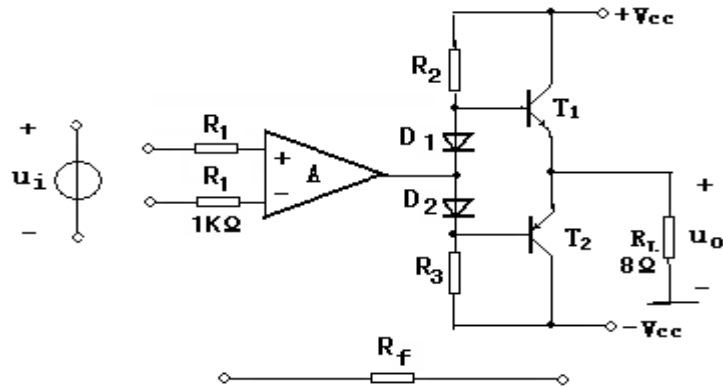
三、(14 分) 放大电路如图所示, $V_{CC}=15V$, $R_{b1}=20K\Omega$, $R_{b2}=60K\Omega$, $R_e=2K\Omega$, $R_L=3K\Omega$, $R_S=600\Omega$, 晶体管的 $\beta=60$, $r_{bb'}=300\Omega$, $U_{BE}=0.7V$ 。

- (1) 求解 Q 点 (I_{BQ} 、 I_{CQ} 、 U_{CEQ});
- (2) 画出微变等效电路(T 用晶体管的 H 参数模型取代);
- (3) 计算 \dot{A}_u 、 \dot{A}_{us} 、 R_i 和 R_o 。



四、(12 分) 在下图所示电路中, 已知 $V_{CC}=15V$, T_1 和 T_2 管的饱和管压降 $|U_{CES}|=1V$, 集成运放的最大输出电压幅值为 $\pm 13V$, 二极管的导通电压为 $0.7V$ 。

- (1) 若输入电压幅值足够大, 则电路的最大输出功率为多少?
- (2) 为了提高输入电阻, 稳定输出电压, 且减小非线性失真, 应引入哪种组态的交流负反馈? 画出图来。
- (3) 若 $U_i=0.1V$ 时, $U_o=5V$, 则反馈网络中电阻的取值约为多少?



数电部分（共 90 分）

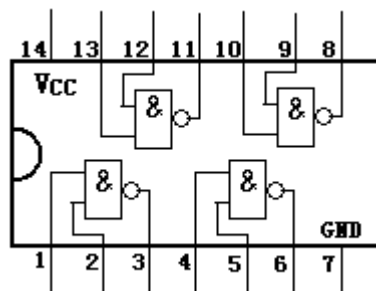
五、填空题（每空 2 分，共 18 分）

- 1、二进制数 $[11001001]_2$ 的十六进制数为_____。
- 2、十进制数 $[31.375]_{10}$ 的二进制数为_____。
- 3、二进制数 $[-1011000]_2$ 的补码为_____。
- 4、十六进制数 $[3B]_{16}$ 的十进制数为_____。
- 5、逻辑函数 $Y = (A + BC)\overline{C}D$ 的反演式为_____。
- 6、逻辑函数 $Y = A\overline{B} + C$ 的最大项之积的形式为_____。
- 7、逻辑函数 $Y = A\overline{B} + B\overline{C} + \overline{A}BC$ 的与或非式为_____。
- 8、设某 JK 触发器出现态为高电平“1”，当 J 和 K 端均接高电平“1”时，在 CP 脉冲作用下，触发器次态应为_____。
- 9、3 位半 A/D 转换器的分辨率应为_____。

六、（每题 6 分，共 18 分）将下列逻辑函数化简为最简与一或形式（方法不限）

- 1、 $Y = \overline{BC}(\overline{C} + \overline{D}) + AB$
- 2、 $Y = A\overline{B} + \overline{A}C + BC + \overline{C}D$
- 3、 $Y(A, B, C, D) = \sum(m_1, m_2, m_3, m_7, m_{10})$ 给定约束条件 $m_0 + m_5 + m_8 = 0$

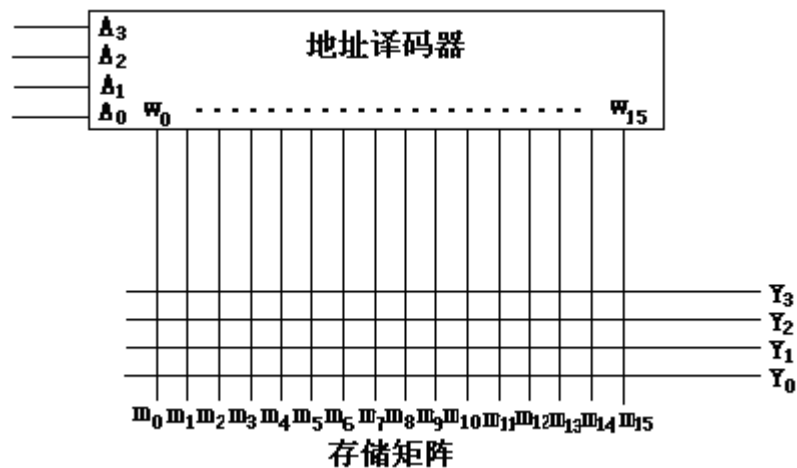
七、（14 分）试用一片 74LS00（四-2 输入 TTL 与非门）设计一个 8421BCD 码的伪码检验电路，实现将四位二进制码 $D_3D_2D_1D_0$ 输入时，电路能自动检测出四位二进制数码中大于 1001（即 9）的数作为伪码。试列出的逻辑真值表，写出逻辑表达式，画出电路连线图。（74LS00 的内部结构和引脚如下图所示）



八、(14 分) 用容量为 16×4 位的 ROM 设计一个代码转换电路，将 4 位二进制码 $D_3D_2D_1D_0$ 转换产生 4 位格雷循环码 (Gray Code) $R_3R_2R_1R_0$ ，其转换可按下列一组逻辑函数实现。

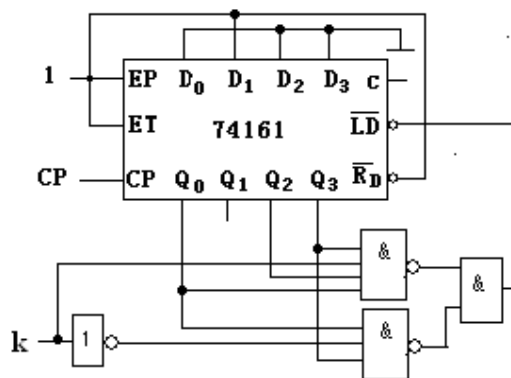
$$\begin{cases} R_3 = D_3 \\ R_i = D_{i+1} \oplus D_i \end{cases} \quad \text{其中 } D \text{ 为二进制码；} R \text{ 为格雷码。} i \text{ 取 } (0,1,2, i \neq 3)$$

试列出 ROM 应有的数据表，填出存储矩阵的点阵图。



九、(12 分) 试分析下图电路，当控制变量 $K=1$ 和 $K=0$ 时电路各为几进制计数器。

4 位同步二进制计数器 74161 的逻辑功能见下表。



4位同步二进制计数器74161的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	工作状态
×	0	×	×	×	置零
\uparrow	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持(但C=0)
\uparrow	1	1	1	1	计数

十、(14 分) 试分析下图时序逻辑电路的逻辑功能，写出电路的驱动方程，状态方程和输出方程，并画出电路的状态转换图，说明电路能否自启动。

