

华中科技大学

二〇〇四年招收硕士研究生入学考试试题

考试科目: 综合考试四

适用专业: 控制科学与工程学科所有专业

(除画图题外, 所有答案都必须写在答题纸上, 写在试题上及草稿纸上无效, 考完后试题随答题纸交回)

一. 计算机网络

- 1 试以发送一个英文字母 N 的 ASCII 码为例, 求出其海明编码; 若传输过程中第 4 位出错, 试求出 (l_1, l_2, l_3, l_4) 的值。提示: 英文字母 A 的 ASCII 码是 41H, 7 比特。(10 分)
- 2 列出多项式除法 $(X^8 + X^4 + 1) \div X^3 + 1$ 的计算过程, 求出余数。(10 分)
- 3 CSMA/CD 介质访问控制为什么有最小帧长限制? 设数据传输速率为 $R(\text{Mb/s})$, 最大传输距离为 $L(\text{km})$, 又设电磁波在铜线中的传播参数为 $6\mu\text{s/km}$, 试求最小帧长表达式(bit)。(15 分)
- 4 简述 TCP 数据段结构中的校验和的计算方法, 并列 IP 数据报和 TCP 数据段校验和计算方法之间的异同点。(15 分)
- 5 TCP 数据段头部确认序号(ACK)与 HDLC 帧格式中的确认序号($N(R)$), 它们与各自的发送序号有什么关系? 这种关系有那些相似点与不同处?(15 分)
- 6 简介 ATM 模型中控制平面与用户平面中的模型层次结构, 并说明各层的主要功能。(10 分)

二. 数字电子技术

转下页

一. 填空, 选择 (10 分)

1. 一个八位的 D/A 转换器的最小输出电压增量位 0.02V, 当输入数字量 01001101 时, 输出的电压是_____伏。(注: 当输入数字量 00000000 时, 输出电压为 0 伏)

2. 七位 D/A 转换器的分辨率百分数是_____。

3. CMOS 逻辑电门电路的_____功耗非常小, 当其输入信号的频率提高后, 其功耗将_____。

4. 有一个 CMOS 门, 它的输出端带有 N 个 CMOS 门, 请判断下列说法是否正确 (填: 对, 错)。

(1). 因为 CMOS 门的输入电流几乎为零, 所以 N 可以非常大。 ()

(2). N 的大小与输出端的等效负载电容有关。 ()

(3). N 的大小与输出端的等效负载电容和工作频率有关。 ()

5. TTL 与非门的灌电流负载发生在输出为_____电平情况下, 负载电流越大, 则输出电平越_____。

二. 写出四位二进制码, 四位格雷(Gray)码, BCD5421 码和余三码。格雷码有何特点? 画出四位二进制码到四位格雷码的转换电路。(10 分)

三. 用卡诺图法化简逻辑函数为最简与或形式。(10 分)

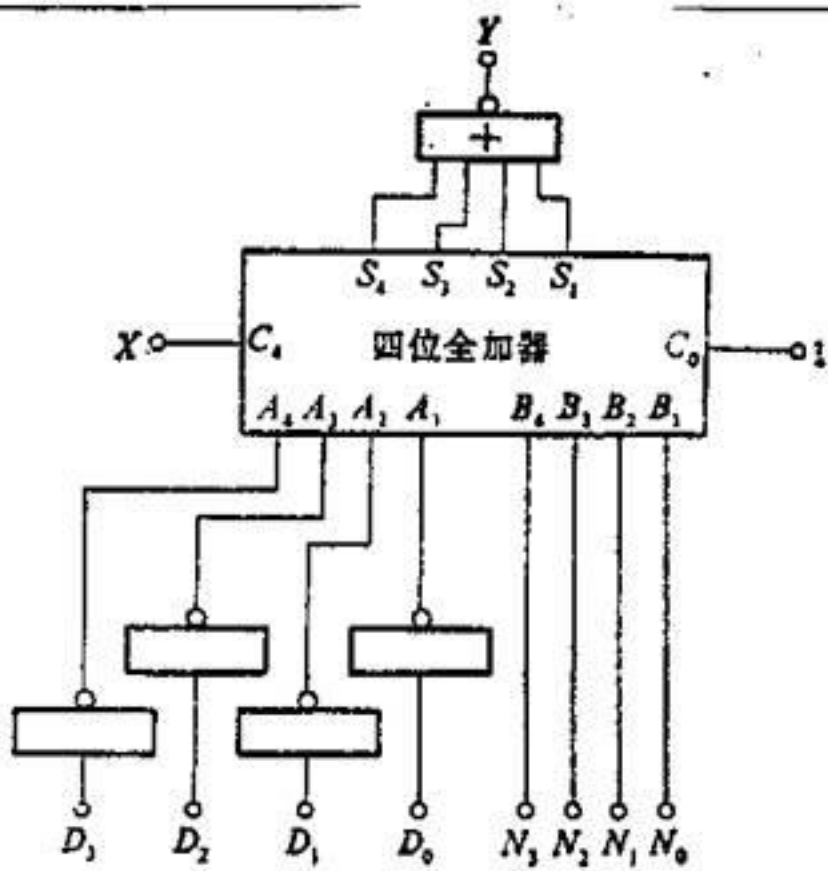
$$Y = ABC + ABD + \bar{C}\bar{D} + A\bar{B}C + \bar{A}C\bar{D} + A\bar{C}D$$

四. 在图 4.1 所示的电路中, 四位全加器的 $A_4A_3A_2A_1$ 为被加数, $B_4B_3B_2B_1$ 为加数, C_0 为低位进位, C_4 为进位信号, $S_4S_3S_2S_1$ 为和。试回答: (10 分)

1. 说明电路若以 $C_4, S_4S_3S_2S_1$ 作为输出信号, 则电路具有什么功能?

2. 填写表 4.1。

3. 说明电路若以 X, Y 作为输出信号, 则电路所具有的逻辑功能。



$D_3 D_2 D_1 D_0$	$N_3 N_2 N_1 N_0$	X	Y
0 0 1 1	0 0 1 1		
1 0 1 1	1 0 0 0		
0 1 1 1	1 0 0 0		
1 1 0 0	1 1 0 0		

表 4.1

图 4.1

五.图 5.1 所示的电路是由异步二—五—十进制计数器 74LS90 及 D 触发器组成的计数电路 (74LS900 功能 如图 5.2 所示)。试分析图示计数电路的功能, 画出时序图, 总结计数规律。假设电路各输出 Q 的初始状态均为 0。(10分)

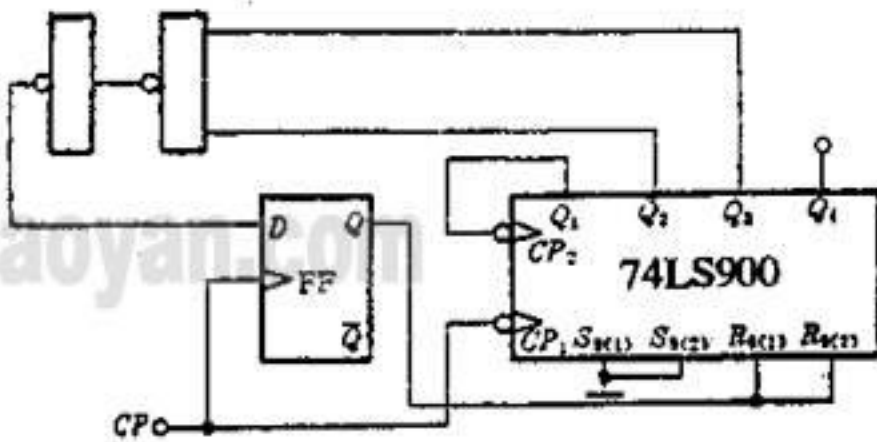


图 5.1

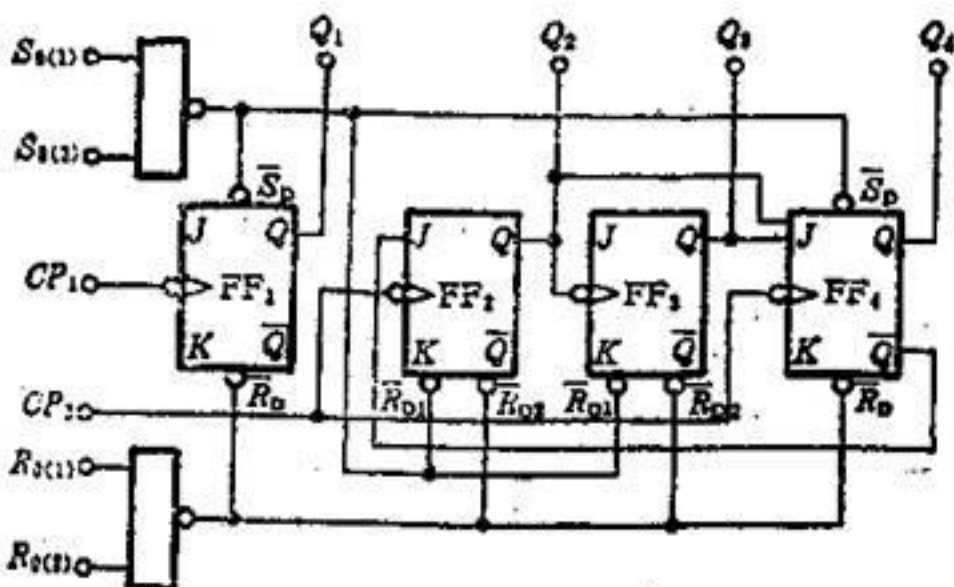


图 5.2

六.电路连接如图 6.1 所示。由 555 定时器组成的电路中, $R_1=R_2=71.5k\Omega$, $C=0.01\mu F$, D 为理想二极管, 理想运放 A 供电电压为 $\pm 15V$, 参数如图所示。555 原理图如图 6.2 所示。
(10 分)

1. 指出 555(I)、(II) 两部分为什么电路?
2. 画出 V_c 、 V_a 、 V_o 的波形 (要求时间对齐并标明电压值)。
3. 计算出输出电压的周期 T 。

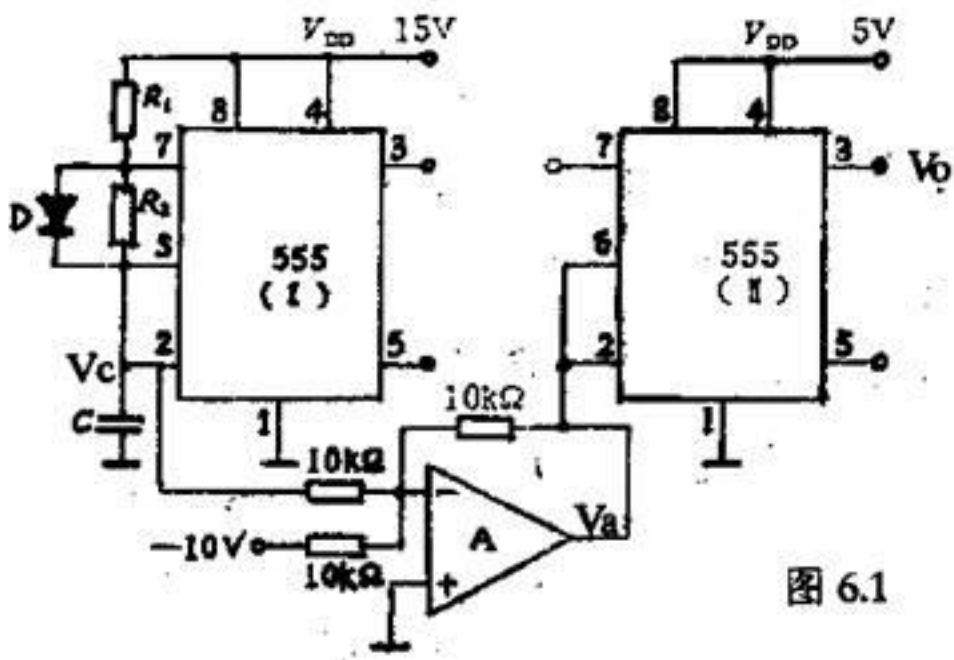


图 6.1

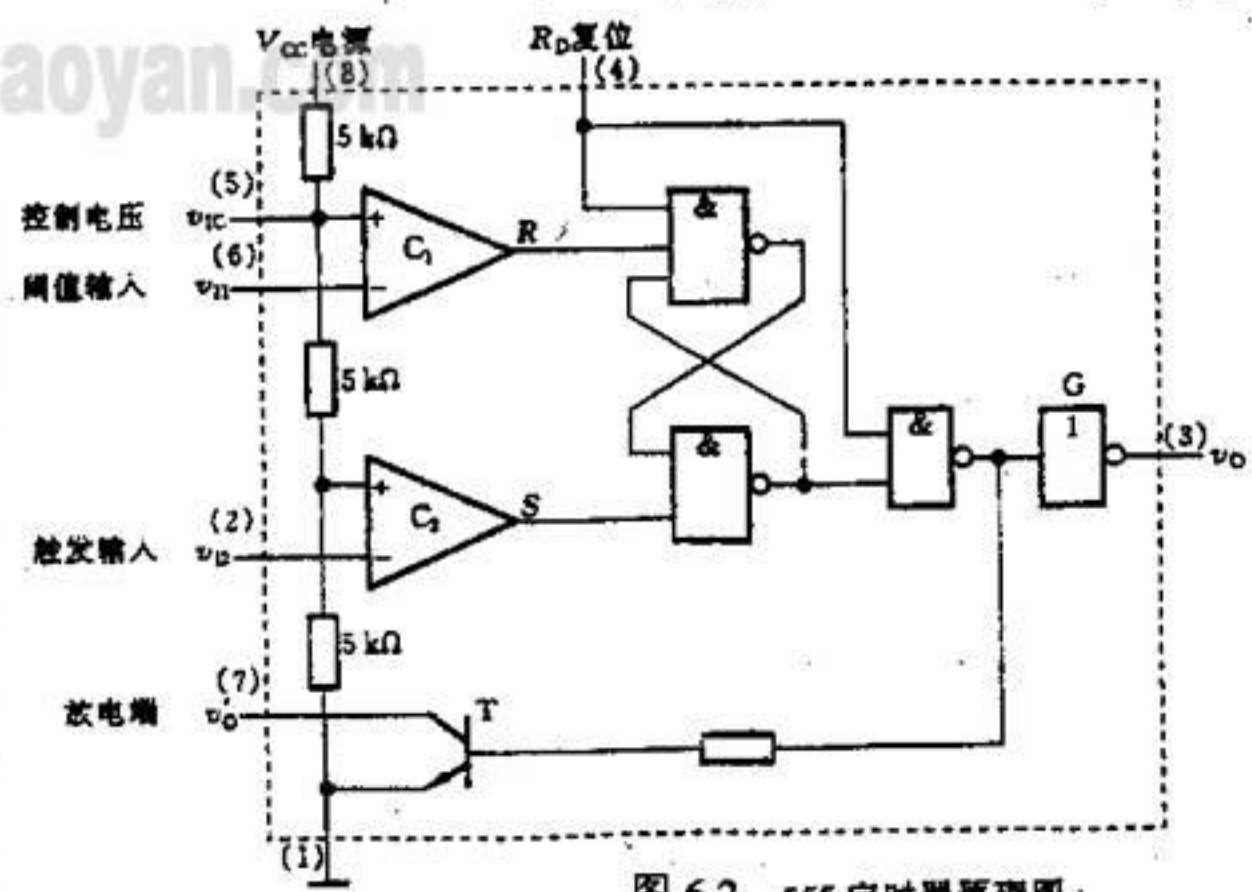


图 6.2 555 定时器原理图

七. 已知一个同步计数器的时序图如图 7.1 所示。(15 分)

1. 画出电路状态的转换图, 并写出每个触发器的状态方程。
2. 用 D 触发器及与非门实现电路, 要求电路最简, 画逻辑图。
3. 说明所设计的电路能否自启动。

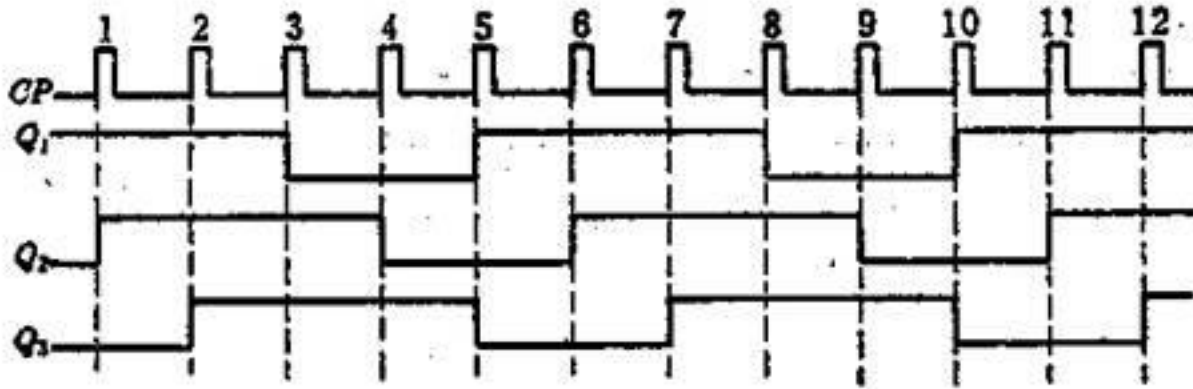


图 7.1