

准考证号码:

报考学科、专业:

姓名:

题 答 要 不 内 线 封 密

# 华中科技大学

## 二〇〇六年招收硕士研究生入学考试试题

考试科目: 计算机组成原理

适用专业: 计算机系统结构 计算机软件与理论 计算机应用数学 信息论  
模式识别与智能系统 通信技术与科学

(除画图题外, 所有答案都必须写在答题纸上, 写在试题上及草稿纸上无效, 考完后试题随答题纸交回)

### 一、填空 (每空 1 分, 共 20 分)

1. 计算机硬件系统由\_\_\_\_\_和\_\_\_\_\_组成。
2. 若定点小数符号位用一位表示, 数据采用反码表示时模为\_\_\_\_\_, 采用补码表示时模为\_\_\_\_\_。
3. 若计算机系统设置两个寄存器实现对主存储器访问, 这两个寄存器应为\_\_\_\_\_和\_\_\_\_\_。
4. 静态 MOS 存储位以\_\_\_\_\_记忆二进制信息, 磁存储器的存储位以\_\_\_\_\_记忆二进制信息。
5. 动态 MOS 存储器刷新有\_\_\_\_\_, \_\_\_\_\_和\_\_\_\_\_三种刷新控制方式。
6. 计算机中具有软件功能硬件形态的部件称为\_\_\_\_\_。
7. 在微程序控制下, 控制部件发出的最基本控制信号称为\_\_\_\_\_, 执行部件相应进行的操作称为\_\_\_\_\_。
8. 主存与 Cache 间常用的地址映象方式有\_\_\_\_\_, \_\_\_\_\_和\_\_\_\_\_。
9. DMA 一般有三种传送控制方式, 它们是\_\_\_\_\_, \_\_\_\_\_和\_\_\_\_\_。

二、术语解释 (每小题 3 分, 共 15 分)

- |        |         |         |
|--------|---------|---------|
| 1. 机器数 | 2. 规格化  | 3. 寻址方式 |
| 4. 位密度 | 5. 指令周期 |         |

三、判断下列各命题正误,并改错 (每小题 2 分, 共 20 分)

1. 运算器中的核心部件是 ALU, ALU 中的核心部件是加法器。
2. 定点小数变形补码的模为 100B 即 4D。
3. 程序中断输入输出方式以软件控制数据的传送过程。
4. 主机与高速外设交换信息一般采用异步定时方式。
5. 若  $X = 0.11010$ ,  $Y = -0.10101$  则它们的补码之积为 1.0110101110。
6. 若片选地址为 101 时, 选定一个  $128K \times 8$  位存储芯片工作, 则该芯片在存储器中的首地址为 00000H, 末地址为 1FFFFH。
7. 一条指令的处理过程至少需要二个机器周期。
8. 设指令中给出的形式地址为 A, 当该操作数的寻址方式为相对寻址时, 则操作数的有效地址为 PC 中的内容加上 A。
9. 采用水平型微指令设计微程序, 微程序具有微指令短微程序长等特点。
10. Cache 存储单元与主存存储单元可采用统一编址方式。

四、论述题 (每小题 8 分, 共 32 分)

1. 试述浮点补码加减运算中规格化处理的依据以及左规和右规的处理方法。
2. 结合计算机中的有关功能部件叙述指令的取指过程和执行的一般过程。
3. 试述硬布线控制器中操作控制器的设计依据和设计过程。
4. 试述多模块交叉存取存储器的设计思想及组织特征。

五、设 $[X]_{\text{补}}=X_0.X_1X_2X_3X_4=1.0101$ ,  $[Y]_{\text{补}}=Y_0.Y_1Y_2Y_3Y_4=0.1101$

1. 用变形补码计算 $[X]_{\text{补}}+[Y]_{\text{补}}$ 及 $[X]_{\text{补}}-[Y]_{\text{补}}$ , 并对溢出与否进行说明。

(7 分)

2. 相应设计实现上述运算及溢出检测的逻辑图。(8 分)

六、利用  $32\text{K} \times 8$  位 RAM 芯片和  $32\text{K} \times 4$  位 ROM 芯片, 设计  $128\text{K} \times 8$  位存储器, 其中从  $00000\text{H}$  到  $07\text{FFFH}$  为只读存储区, 其它空间为可读可写存储区。

1. 画出相应存储空间分布图, 并标注地址。(5 分)

2. 完成存储器设计并与 CPU 连接。(10 分)

要求: 各片选信号为低电平有效, 标明信号线及芯片的使用。

七、设微指令采用直接表示法时控制字段为 51 位, 51 位中有 3 个 15 位分别为同类且互斥微命令, 剩下的 6 位也为同类互斥微命令。若微指令采用字段编码表示法, 试画出微指令控制字段结构图、注明各字段长度及微命令产生的示意电路、并对微命令产生与否进行说明。(15 分)

八、设 1, 2, 3 号部件发出的总线请求信号分别为  $BR_1'$ ,  $BR_2'$  和  $BR_3'$ , 其中 1 号部件优先级最高, 3 号部件优先级最低。 $BR_1, BR_2$  和  $BR_3$  为排队后输出的总线请求信号; 若排队线路在总线允许 (BE) 时才工作, 试根据独立请求法设计它们的优先排队线路。(18 分)