

山东轻工业学院

2009 年攻读硕士学位研究生入学考试试题

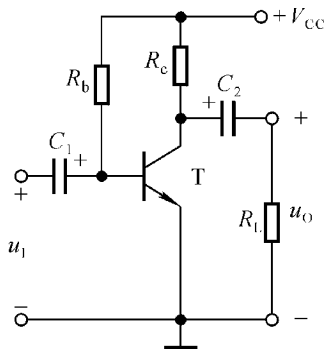
(答案一律写在答题纸上, 答在试题上无效, 试题附在答卷内交回)

考试科目: 电子技术

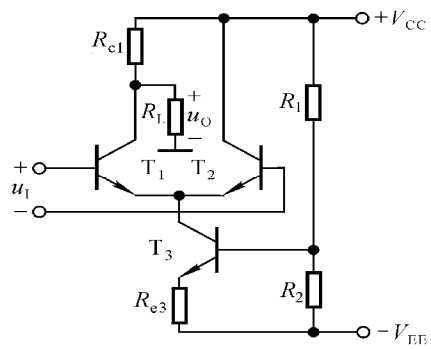
试题适用专业: 检测技术与自动化装置、控制理论与控制工程、制浆造纸工程 A 卷共 4 页

一、(20 分) 在如图一所示的电路中, 若 $R_L = 6k\Omega$, 晶体管的 $\beta = 50$, $r_{be}' = 300\Omega$, 静态时的 $U_{BEQ} = 0.7V$, $V_{CC} = 12V$ 。

- 1、为使静态 $I_{CQ} = 2mA$, $U_{CEQ} = 6V$, 则 R_b 和 R_c 的阻值应为多大?
- 2、求中频时的电压放大倍数 A_{um} 和输入电阻 R_i ;
- 3、若输入信号的频率过低和过高, 则电压放大倍数分别将如何变化? 请简述理由。
- 4、若在上述电路参数选定的情况下, 输出信号不产生失真, 则当 R_c 增大 (其他参数不变) 时, 输出信号将首先产生何种失真? 为什么?



图一



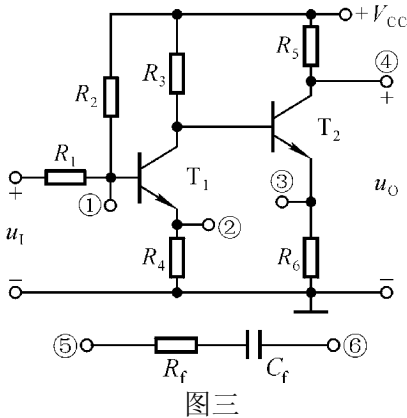
图二

二、(16 分) 电路如图二所示, T_1 、 T_2 和 T_3 均为硅晶体管, 电流放大系数 β 均为 50, $r_{be} = 1.5k\Omega$, 静态导通电压降 $U_{BEQ} = 0.7V$, $R_{e3} = 3k\Omega$, $R_{c1} = R_L = 6k\Omega$, $R_1 = 10k\Omega$, $R_2 = 6k\Omega$, $+V_{CC} = +12V$, $-V_{EE} = -6V$ 。

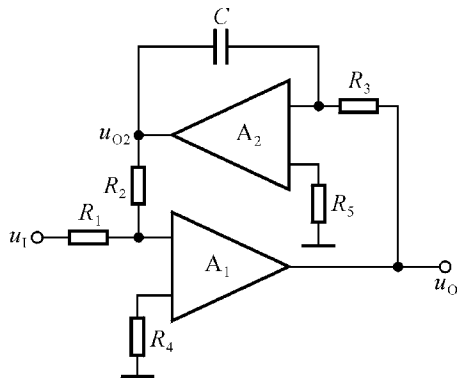
- 1、求 T_1 管集电极的静态电流 I_{CQ1} 和静态电位 U_{CQ1} ；
- 2、求电路的差模电压放大倍数 A_d 和差模输入电阻 R_i ；
- 3、若 $\Delta u_i = 10\text{mV}$ ，则用直流电压表测出的输出电压 u_o 应为多少？

三、(12分) 电路如图三所示。

- 1、为降低电路的输入电阻和提高电路的输出电阻，请将 R_f 和 C_f 的串联支路合理地连接于电路中使之成为负反馈放大电路，并指出所引入反馈的组态；
- 2、若电路满足深度负反馈的条件，试求反馈系数和电压放大倍数 A_{uf} 的表达式。
(C_f 对交流信号可视为短路)。



图三

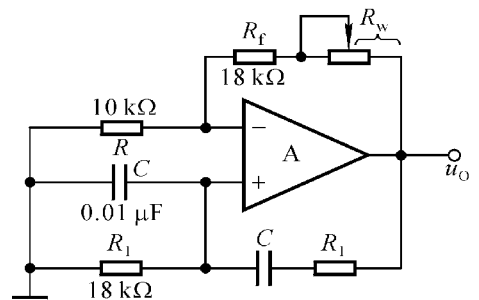


图四

四、(15分) 在如图四所示的电路中，运放 A_1 和 A_2 均为理想运放。

- 1、为保证电路引入负反馈，试在图中分别标出运放 A_1 和 A_2 的同相输入端和反相输入端；
- 2、说明由运放 A_2 构成了何种运算电路；
- 3、试推导出输出电压 u_o 与输入电压 u_i 之间的运算关系；
- 4、参照该电路的结构形式，大致画出实现除法运算的电路。

五、(12分) 图五所示电路为正弦波振荡电路。



图五

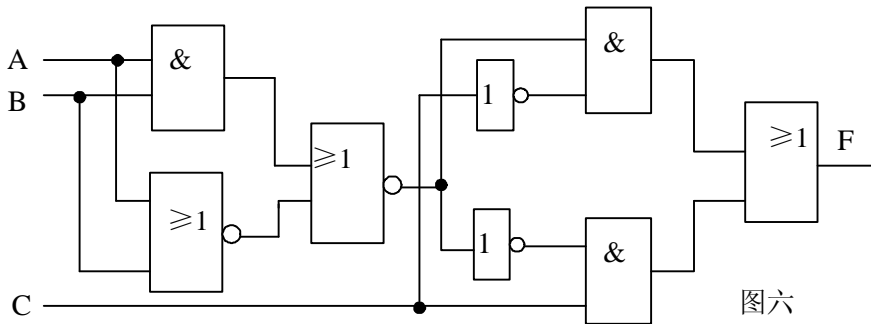
1、该电路引入了何种组态的负反馈？为什么？

2、要使该电路能够起振，可调电阻 R_w 的阻值至少应为多大？该电路是靠什么元件进行稳幅的？

3、求振荡频率 f_0 。

六、(13分) 试分析图六所示的组合逻辑电路,要求:

- 1、写出输出端的逻辑表达式。
- 2、写出逻辑真值表，说明完成的功能。
- 3、用数量最少、品种最少的门电路实现该电路。

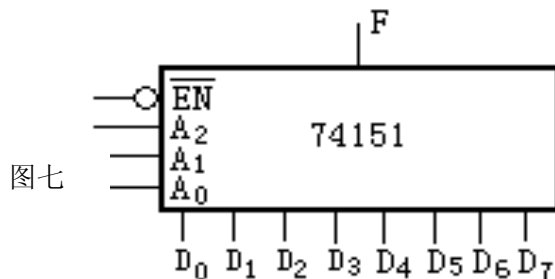


图六

七、(16分) 设计一个多数表决电路。要求 A、B、C 三人中只要有两人或两人以上同意，决议就能通过。但 A 还有否决权，即只要 A 不同意，即使其他人同意，决议也不能通过。

- 1、列出真值表并写出输出的逻辑函数式；
- 2、化简逻辑函数，用与非门实现设计并画出电路图；
- 3、用 8 选 1 数据选择器 74LS151 实现（可附加必要门电路）。

74LS151 输出表达式如下式，管脚图如图七所示（图中 \overline{EN} 为片选段）。

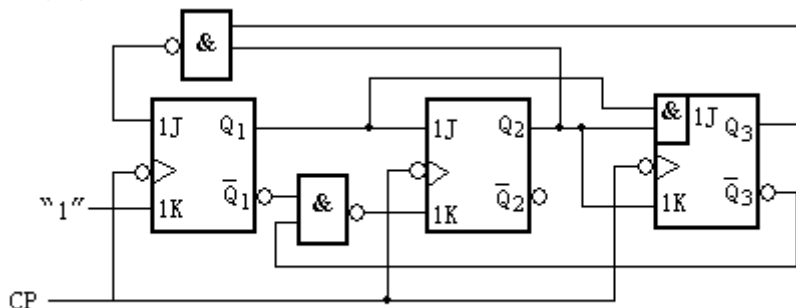


图七

$$F = D_0(\overline{A_2}\overline{A_1}\overline{A_0}) + D_1(\overline{A_2}\overline{A_1}A_0) + D_2(\overline{A_2}A_1\overline{A_0}) + D_3(\overline{A_2}A_1A_0) + D_4(A_2\overline{A_1}\overline{A_0}) + D_5(A_2\overline{A_1}A_0) + D_6(A_2A_1\overline{A_0}) + D_7(A_2A_1A_0)$$

八、(14分) JK 触发器组成的电路如图八示，设所有触发器初态为 0 态，

- 1、写出各触发器驱动方程，状态方程；
- 2、画出状态转换表和状态转换图；
- 3、画出时序波形图；
- 4、说明电路功能。



图八

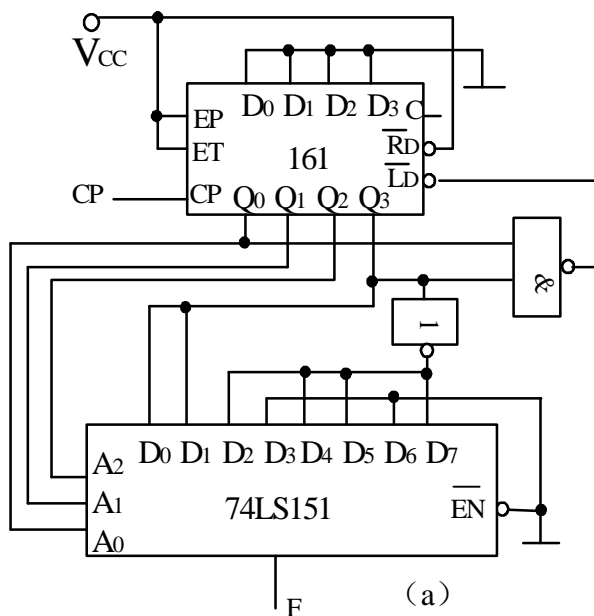
九、(16分) 有一个由计数器 74LS161 和 8 选 1 数据选择器 74LS151 组成的电路如图九 (a) 所示，161 的功能表如图九 (b) 所示，151 的功能可参考图七。

- 1、161 芯片构成几进制计数器？画出有效状态循环图。
- 2、写出数据选择器输出 F 的表达式。
- 3、画出在 CP 脉冲作用下，161 输出 $Q_3Q_2Q_1Q_0$ 的波形和输出 F 的波形。（设计数器的初态为 0000）

74LS161功能表

CP	\overline{LD}	\overline{RD}	ET	EP	工作状态
×	×	0	×	×	清零
	0	1	×	×	预置数据
×	1	1	1	0	保持
×	1	1	0	×	保持(但C=0)
	1	1	1	1	计数

(b)



图九

(a)

十、(16分) 试用 ROM 设计一乘法器电路。已知输入是两个 2 位的二进制数 A_1A_0

和 B_1B_0 ，输出是二者的乘积，并用四位二进制数表示，即 $Y_3Y_2Y_1Y_0$ 。

- 1、画出该乘法器的逻辑真值表，求输出表达式；
- 2、画出实现该乘法器的 ROM 阵列图，并求出阵列的总容量和存储容量。