

聊城大学

2008 年硕士研究生入学考试初试试题

学科专业名称: 通信与信息系统

考试科目名称: 数字电路 (B)卷

- 注意事项: 1、本试题共 十 道大题 (共 个小题), 满分 150 分。
2、本卷为试题, 答题另有答题纸。答案一律写在答题纸上, 写在该试题纸上或草稿纸上无效。要注意试卷清洁, 不要在试卷上涂划。
3、答题必须用蓝、黑钢笔或圆珠笔书写, 其它均无效。
4、特殊要求携带的用具请注明, 没有特殊要求填“无”。

无

一、(10 分) 把函数 Y_1 、 Y_2 化为最小项之和形式:

$$Y_1(A, B, C) = \overline{A}B + B + \overline{A}C$$

$$Y_2(A, B, C, D) = BC + D + \overline{D}(B + \overline{C})(B + AD)$$

二、(12 分) 把下列逻辑函数化简成最简与或表达式, 然后转化成最简与非与非式, 并画出用与非门实现的逻辑图:

1、 $Y = A \oplus B + \overline{B}C + AC$

2、 $Y(A, B, C, D) = \sum_m(3, 5, 6, 7, 10) + \sum_d(0, 1, 2, 4, 8)$

三、(18 分) 1、能把两个或多个与非门的输出端并联 (线与) 使用吗? 为什么?

2、接成一个 1024×8 位的 RAM, 需要用几片 256×8 位的 RAM?

256×8 位的 RAM 有几个地址输入线, 几个输出线? 其存储矩阵有多少个存储单元?

3、4 位电阻网络 D/A 转换器的分辨率是多少? 若给定 $V_{ref} = 8V$, 计算最大输出电压, 输入为 0011 时对应的输出电压值是多少?

四、(20 分) 设计一个三人表决电路, 在表决一般问题时以多数同意为通过, 在表决重要问题时, 必须一致同意才能通过。

1、列出真值表, 写出输出函数表达式;

2、用 8 选 1 数据选择器 74LS151 和适当的门电路实现;

3、用可编程逻辑阵列实现。

五、(10 分) 用集成计数器 74LS161 设计可控进制的加法计数器。当输入控制变量 $M=0$ 时, 工作在 9 进制, $M=1$ 时, 工作在 13 进制。(74LS161 是一个异步清零、同步预置数的同步十六进制加法计数器, 其逻辑符号和功能表见附表。)

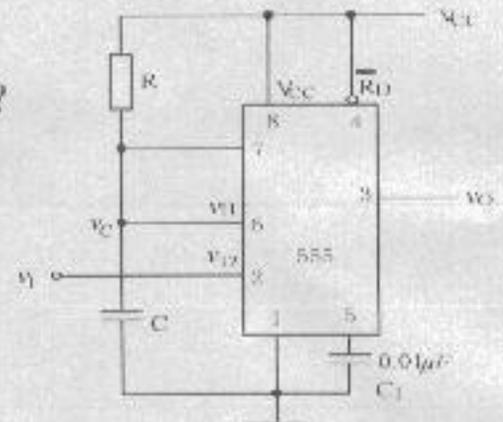
六、(10分) 用一个 JK 触发器转换成一个 D 触发器, 写出转换方法, 画出电路图。

七、(10分) 用 555 组成的单稳态触发器电路

如(图一)所示, 该电路对触发脉冲的宽度有何限制?

$R = 5.1K\Omega, C = 0.01\mu F, V_{CC} = 12V,$

计算电路的输出脉冲宽度 t_w 。



图一

八、(20分) 用 3 线—8 线译码器 74LS138 和门电路组成输入地址线为 8 位的译码电路, 要求 $\bar{Y}_0 \dots \bar{Y}_7$ 分别被译中时, 输入地址线 $A_7 \dots A_0$ 相应的状态是

88H, 89H, 8AH, 8BH, 8CH, 8DH, 8EH, 8FH。(74LS138 的逻辑符号和功能见附表)

九、(20分) 设计一个序列信号发生器, 实现在一系列 CP 脉冲作用下能周期性地输出 10010011 的序列信号。要求用集成计数器 74LS161、3 线—8 线译码器 74LS138 和尽可能少的门电路实现。(74LS161、74LS151 的逻辑符号和功能见附表)

十、(20分) 设计一个串行数据检测器, 要求当输入信号 X 连续输入 3 个 1 时输出 Z 为 1, 其他输入情况下 Z 为 0, 要求用 D 触发器和尽可能少的门电路实现。

例如: X ---0011111110101101110 ---

Z ---000010010000000010 ---

附表:

74LS151 的逻辑功能:

$$Y = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_2 \bar{A}_1 A_0 D_1 + \bar{A}_2 A_1 \bar{A}_0 D_2 + \bar{A}_2 A_1 A_0 D_3 + A_2 \bar{A}_1 \bar{A}_0 D_0 + A_2 \bar{A}_1 A_0 D_1 + A_2 A_1 \bar{A}_0 D_2 + A_2 A_1 A_0 D_3$$

74LS161 的功能表

74LS138 的功能表

\bar{R}_0	LD	EP	ET	CP	工作状态
0	x	x	x	x	异步清零
1	0	x	x	f	同步并行置数
1	1	1	1	f	加计数
1	1	0	1	x	保持
1	1	x	0	x	保持 (C=0)

输入					输出							
S_1	S_2, S_3	A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

