

聊城大学 2011 年硕士研究生入学考试初试试题

考试科目	810 数字电路	B 卷
适用专业	通信与信息系统、电子与通信工程	
注意事项：1、本试题共 九 道大题（共 一 个小题），满分 150 分。 2、本卷为试题，答题另有答题纸，答案一律写在答题纸上，写在及试题纸上或草稿纸上无效。 3、答题必须用蓝、黑钢笔或圆珠笔书写，其它均无效。 4、特殊要求携带的用具请注明，没有特殊要求填“无”。		

一、填空（每空 2 分，共 30 分）：

1. 进制之间的转换：

$$(1011.0110)_2 = (\quad)_{10}, \quad (28)_{10} = (\quad)_2$$

$$(101011010011)_2 = (\quad)_{10}, \quad (8FA.C6)_{16} = (\quad)_2$$

2. 写出下列二进制数（最高位为符号位）的反码和补码：

$$(00101100)_{\text{原码}} = (\quad)_{\text{反码}} = (\quad)_{\text{补码}}$$

$$(10011011)_{\text{原码}} = (\quad)_{\text{反码}} = (\quad)_{\text{补码}}$$

3. 在 CMOS 电路中，不用的输入端应如何处理_____。

4. 在组合逻辑电路中，任意时刻的_____。

5. 触发器的触发方式分为_____。

6. JK 触发器的特性方程为_____。

7. 某台计算机的内存储器设置有 32 位的地线，16 位的并行数据输入、输出端，试计算它的最大存储器容量是多少？_____。

8. 什么叫组合逻辑电路的竞争—冒险现象_____？如何避免？_____。

二、简答题（每小题 4 分，共 20 分）：

1. 根据对偶定理，已知 $Y_1 = AB + CD'$ ， $Y_2 = AB + (C + D)'$ ，求 Y_1 、 Y_2 。

2. 写出如下图所示逻辑电路的输出逻辑函数式：

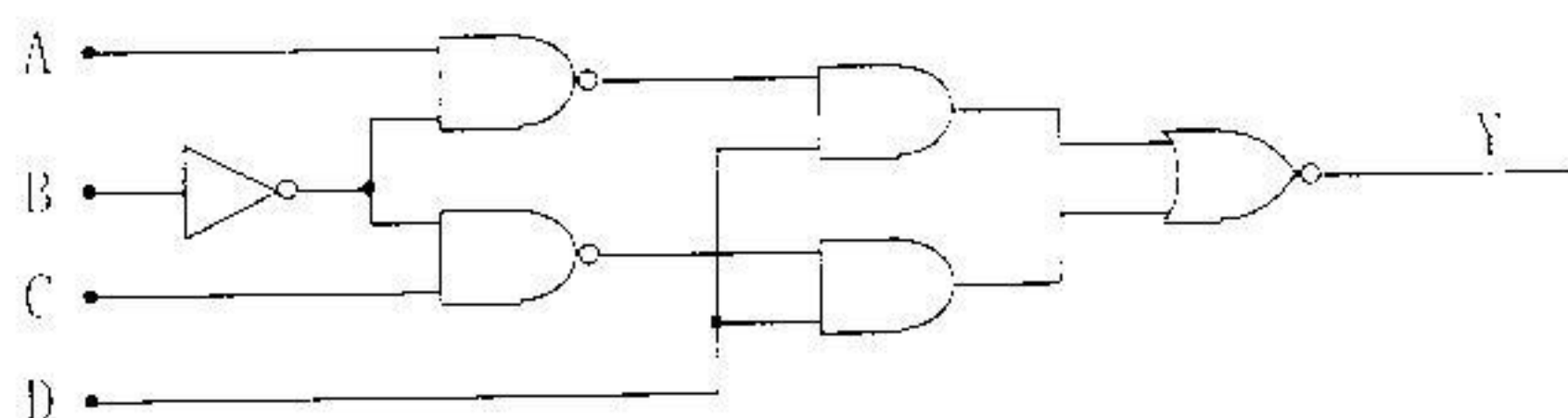


图 1

3. 逻辑函数 Y 的波形图如图 2 所示，试求 Y 的真值表和逻辑函数式。

4. 用硬件描述语言 VHDL 或 Verilog HDL 设计一个二输入的或非门电路
5. 如下图 3 所示, 由施密特触发器构成的多谐振荡器电路, 分析其工作原理, 画出 v_i 和 v_o 的电压波形。

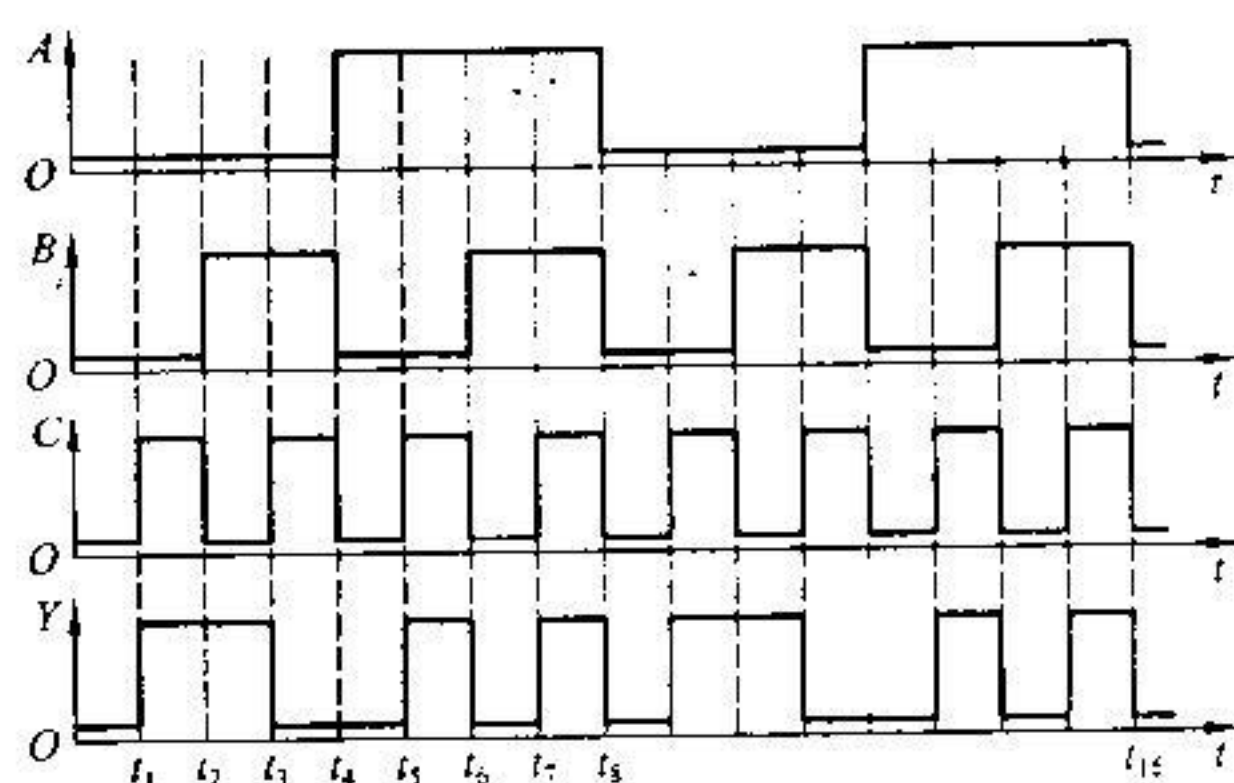


图 2

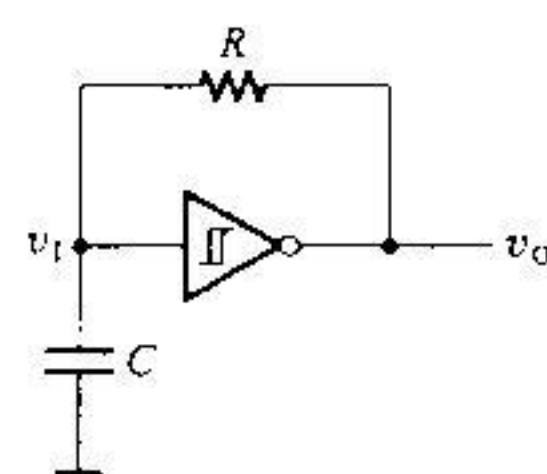


图 3

三、逻辑函数化简 (每小题 4 分, 共 20 分):

根据逻辑代数的公式化简下列各式 (写出中间化简过程):

1. $Y_1 = AC + A'D + C'D$

2. $Y_2 = AC' + B'C + BD' + CD' + A(B + C') + A'BCD' + AB'DE$

用卡诺图化简法将下列函数化简为最简与或形式 (在卡诺图上标记出化简过程):

3. $Y_3 = AB' + A'C + BC + C'D$

4. $Y_4 = \sum_m(0, 1, 2, 5, 6, 8, 9, 10, 12, 13, 14)$

5. $Y_5 = \sum_m(1, 2, 4, 7) + d(3, 6)$ 其中 d 表示无关项。

四、(10 分) 画出用一个集成电路 7448 (无附图 7448) 驱动器驱动共阴极的半导体数码器 BS201A 的电路图。

五、(10 分) 用 8 选 1 数据选择器 74LS151 (无附图 74LS151) 产生如下逻辑函数:

$$Y = AC' + A'BC' + A'B'C$$

六、(20 分) 分析如图 1 所示时序电路的逻辑功能, 写出电路的驱动方程、状态方程和输出方程, 画出电路的状态转换图, 并说明该电路能否自启动。

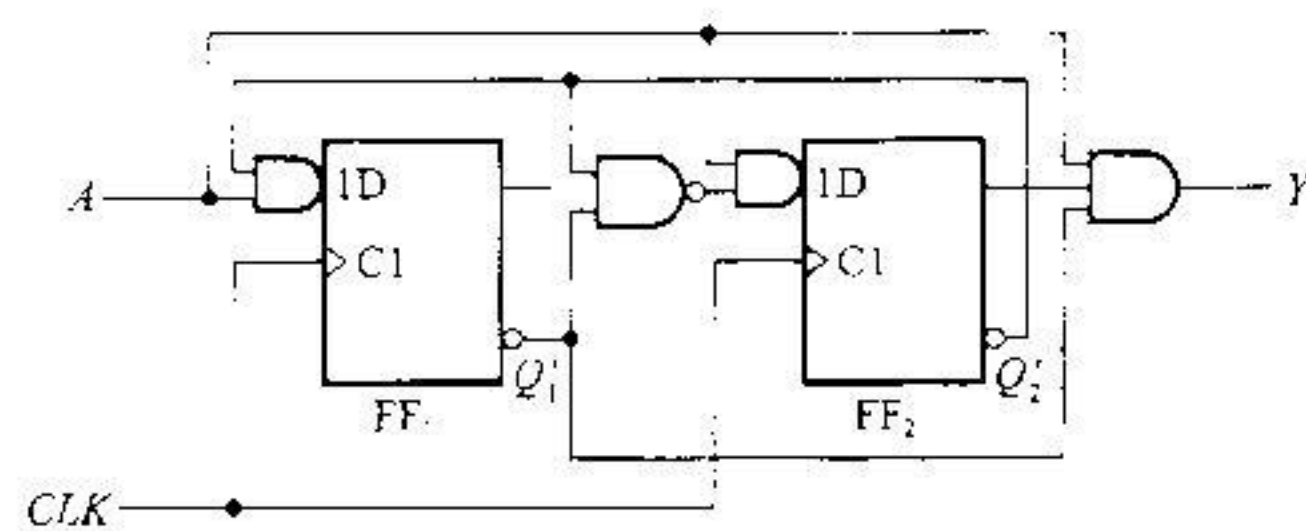


图 4

七、(10 分) 分析如图 5 所示电路, 说明两片二进制计数器 74LS161 构成的是多少进制的计数器。

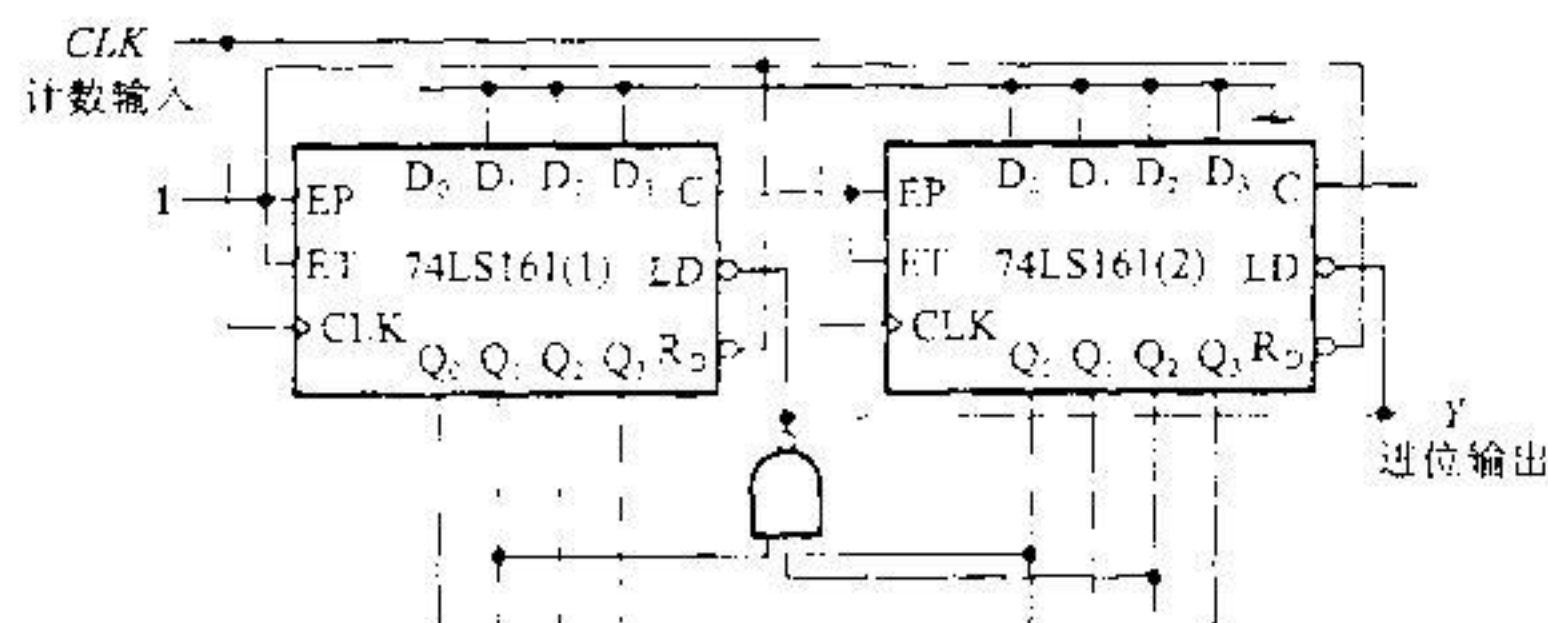


图 5

八、(15 分) 用两片同步十进制计数器 74LS160 (见附图 74160) 接成二十九进制计数器, 标出输入、输出端。可以附加必要的门电路。

九、(15 分) 用同步十进制计数器 74LS160 (见附图 74160) 和 8 选 1 数据选择器 74LS151 组成一个序列信号发生器电路, 使之在 CLK 信号作用下能周期地输出“0010110111”的序列信号。

附图:

