

杭州电子工业学院

2004 年攻读硕士学位研究生入学考试

《计算机组成原理》试题

(试题共 7 大题, 5 页)

【所有答案必须写在答题纸上, 做在试卷或草稿纸上无效!】

一. 选择题 (共 30 分, 每小题 2 分):

1. 按冯·诺依曼计算机体系结构的基本思想设计的计算机硬件系统包括 (B)。

- A. 微程序控制器、存储器、显示器、键盘
- B. 运算器、控制器、存储器、输入设备、输出设备
- C. 总线、CPU、磁盘、显示器、打印机
- D. 运算器、主存、缓冲存储器、虚拟存储器、控制器

2. 计算机系统的层次结构从内到外依次为 (A)

- A. 硬件系统、系统软件、应用软件
- B. 系统软件、硬件系统、应用软件
- C. 系统软件、应用软件、硬件系统
- D. 应用软件、硬件系统、系统软件

3. 数的机器码表示中, (D) 的零的表示形式是唯一的。

- A. 原码
- B. 反码
- C. 补码和原码
- D. 补码和移码

→ 可以根据补码写出

4. 在浮点数 $N=M \cdot R^E$ 中, 如阶码基数 $R=2$, 则下列 M 补码 (C) 为规格化数。

- A. 0.0011...10
- B. 0.0110...11
- C. 0.1110...10
- D. 1.1111...10

5. 信息码为 1100111 的奇偶校验编码为 (D) (设校验位在最低位)。

A. 奇校验编码: 11001110, 偶校验编码: 11001110

- B. 奇校验编码: 11001111, 偶校验编码: 11001110
C. 奇校验编码: 11001111, 偶校验编码: 11001111
D. 奇校验编码: 11001110, 偶校验编码: 11001111
6. 有关高速缓冲存储器 Cache 的说法正确的是 (B)。
A. 只能在 CPU 以外 B. CPU 内外都可以
C. 只能在 CPU 以内 D. 若存在 Cache, CPU 就不能再访问内存
7. 相联存储器是按 (C) 进行寻址的存储器。
A. 地址 B. 堆栈
C. 内容 D. 指令
8. 有关存储器的描述中, 不正确的是 (A)。
A. 多体交叉存储器主要解决扩充容量问题
B. 访问存储器的请求是由 CPU 发出的
C. Cache 的功能全由硬件实现
D. 虚拟存储器主要解决扩充容量问题
9. 堆栈常用于 (C)。
A. 数据移位 B. 程序转移
C. 保护程序现场 D. 输入、输出
10. 对存储器中某个操作数的寻址称为 (C)。
A. 间接寻址 B. 直接寻址
C. 寄存器直接寻址 D. 相对寻址
11. 水平型微指令与垂直型微指令相比, (A)。
A. 前者一次能完成多个操作
B. 后者一次能完成多个操作
C. 两者都是一次只能完成一个操作
D. 两者都是一次能完成多个操作
12. 在定点二进制运算器中, 补码加减运算判溢出一般通过 (B) 来实现。
A. 当符号不同的两数相加, 结果的符号与加数不同则产生溢出
B. 当双符号位值不同时即产生溢出
C. 当符号相同的两数相减, 结果的符号与减数相同则产生溢出
D. 符号位的进位和最高数值位的进位相同则产生溢出
13. 一个指令周期通常由 (D) 组成。

- A. 若干个节拍 B. 若干个时钟周期
C. 若干个工作脉冲 ☒ D. 若干个机器周期

14. 在定点二进制运算中，减法运算一般通过 (☒) 来实现。

- A. 原码运算的二进制减法器 B. 补码运算的二进制减法器
C. 补码运算的十进制加法器 D. 补码运算的二进制加法器

15. 在计算机中存放当前指令地址的寄存器叫 (☒)。

- A. 指令寄存器 B. 地址寄存器
C. 程序计数器 D. 状态寄存器

二. 名词解释(共 10 题, 每题 2 分, 计 20 分)

1. CISC 2. RISC 3. AR 4. Cache 5. DMA
6. DRAM 7. IEEE754 8. ALU 9. RS-232 10. 指令周期

三. 简答题(共 6 题, 每题 5 分, 计 30 分) *新标准 128K 并行字2标准*

- Cache 与主存之间的地址映象方法有哪几种? 各有何特点?
- 说出提高访问存储器速度的几种措施 (至少 3 种)。
- 微程序控制器和硬布线控制器比较, 各有何特点?
- 简述先行进位 (超前进位) 解决的问题及基本思想。
- DRAM 存储器为什么要刷新? 有哪几种常用的刷新方法?
- 在微指令控制器中, 指令译码器的功能是什么?

四. (18 分) 设浮点数的格式为: 阶码 4 位, 包含一位符号位, 尾数 5 位, 包含一位符号位, 阶码和尾数均用补码表示, 排列顺序为:

阶符 (1 位)	阶码 (3 位)	数符 (1 位)	尾数 (4 位)
----------	----------	----------	----------

则按上述浮点数的格式:

- (6 分) 若 $(X)_{10} = 22/64$, $(Y)_{10} = -2.75$, 则求 X 和 Y 的规格化浮点数表示形式。
- (6 分) 求 $[X+Y]_{\text{浮}}$ (要求用补码计算, 列出计算步骤)。
- (6 分) 求 $[X*Y]_{\text{浮}}$ (要求阶码用补码计算, 尾数任意取一种乘法算法计算, 列出计算过程和算式)。

五. (14 分) 某机采用微程序控制器, 其微程序控制器有 18 种微操作命令 (采用直接控制法, 即水平型微指令), 有 8 个转移控制状态 (采用译码形式), 微指令格式中的下址字段 7 位。该机器指令系统采用 4 位定长操作码, 平均每条指令由 7 条微指令组成。问:

- 该微指令的格式中, 操作控制字段和判别测试字段各有几

位？控存的容量为多少（字数×字长）？（7分）

操作控制字段	判别测试字段	下址字段
--------	--------	------

(2) 该机指令系统共有多少条指令？需要多少容量的控存？上述的控存是否合适？（7分）

六. (14分) 某模型机结构如图1。

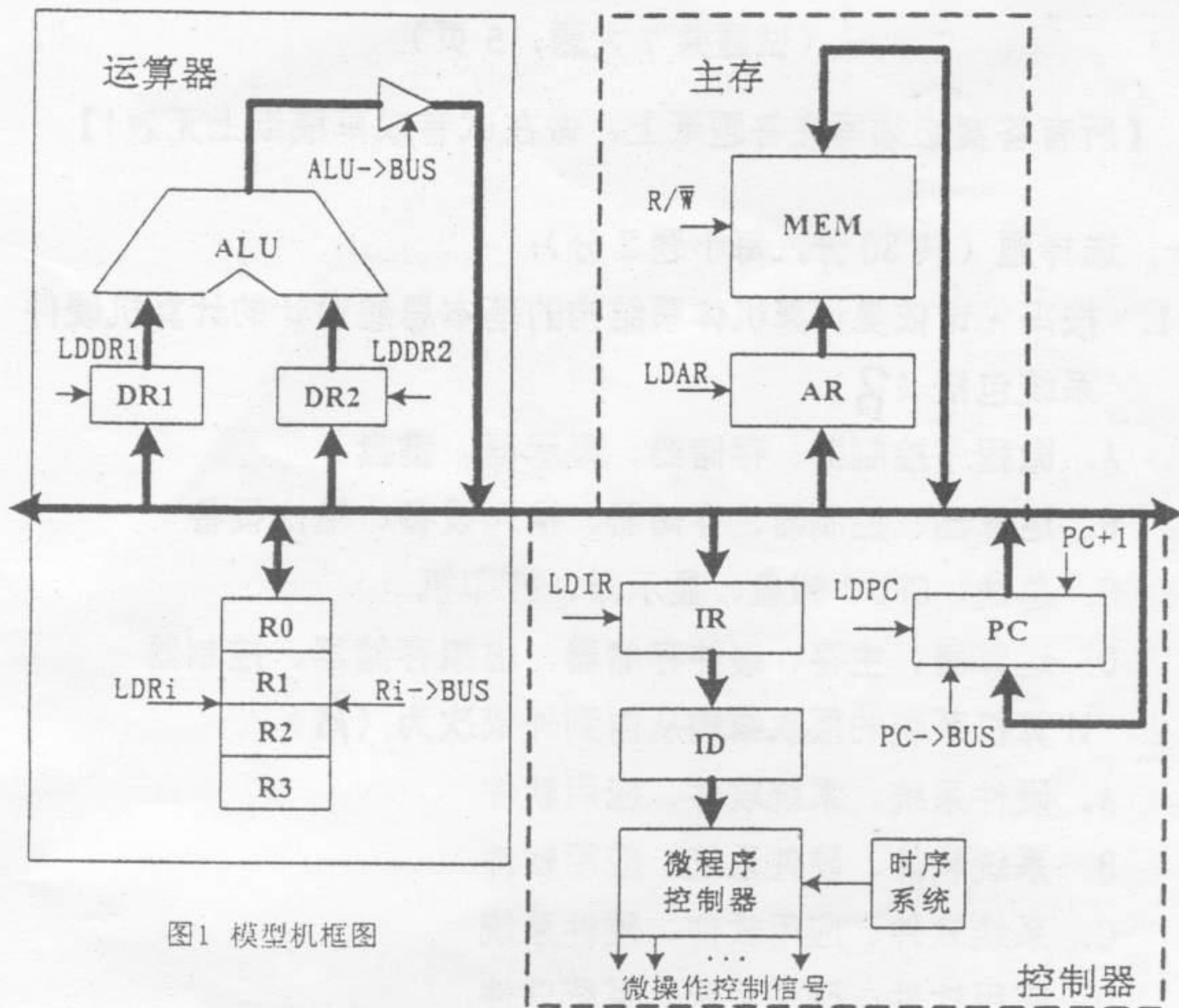


图1 模型机框图

(1) 某条指令的微程序流程如图2，写出该指令的功能、指令格式和寻址方式。（7分）

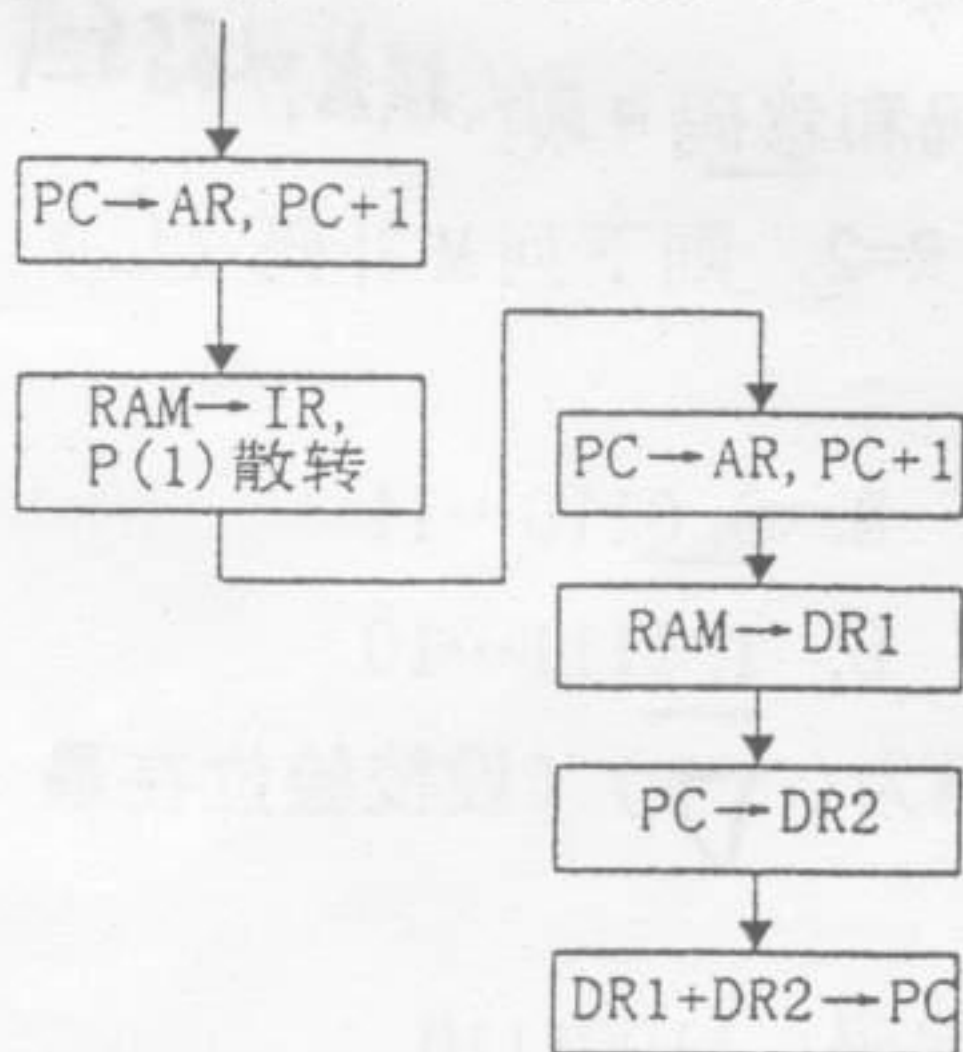


图2 微程序流程图

(2) (7 分) 画出 MOV 指令的微程序流程图。采用直接寻址方式，将以 A 为地址的主存单元的内容送至 Rd 寄存器。指令格式为：

OP	01	Rd
A		

七. (24 分) 某机字长 8 位，CPU 地址总线 16 位，数据总线 8 位，存储器按字节编址，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。试问：

①若该机主存采用 $16K \times 1$ 位的 DRAM 芯片（内部为 128×128 阵列）构成最大主存空间，则共需多少个芯片？若采用异步刷新方式，单元刷新周期为 2ms，则刷新信号的周期为多少时间？刷新用的行地址为几位？（5 分）

②若为该机配备 $2K \times 8$ 位的 Cache，每块 8 字节，采用 2 路组相联映象，试写出对主存地址各个字段的划分（标出各个字段的位数）；若主存地址为 3280H，则该地址可映象到的 Cache 的哪一组？（7 分）

③若用 8 个 $8K \times 4$ 位的 SRAM 芯片和 2 个 $4K \times 8$ 位的 SRAM 芯片形成 $40K \times 8$ 位的 RAM 存储区域，起始地址为 0000H，假设 SRAM 芯片有 CS#（片选，低电平有效）和 WE#（写使能，低电平有效）信号控制端。

(1) 试画出地址译码方案；写出 RAM 的地址范围。

(2) 并画出 SRAM 与 CPU 的连接图，请标明 SRAM 芯片个数、译码器的输入输出线、地址线、数据线、控制线及其连接。（12 分）