

4.29
2002
浙江大学 已对 3.19

二〇〇二年攻读硕士学位研究生入学考试试题

考试科目 电子线路 B 编号 594

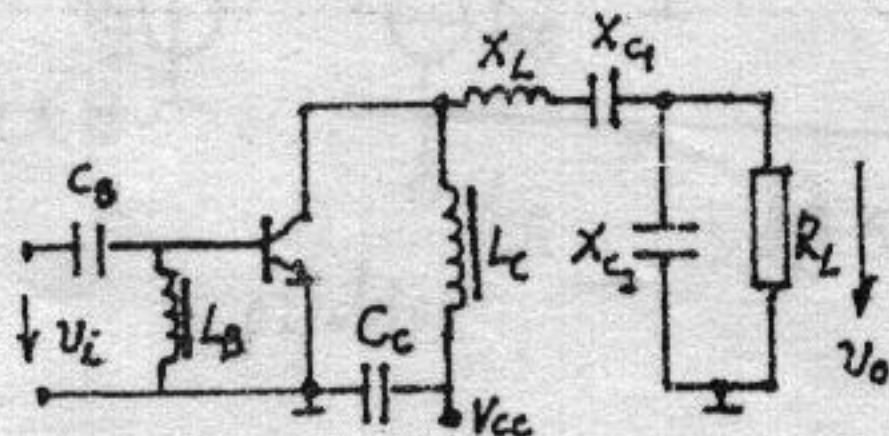
注意:答案必须写在答题纸上,写在试卷或草稿纸上均无效。

1. (10分)

题图(1)是晶体管放大电路, L_B 和 L_C 是高频扼流圈,

输入信号为 $v_i(t) = V_{im} \cos \omega_i t$,

输出信号 $v_o(t)$ 与输入同频率。请回答下列问题



题1图

022d301

1)画出该放大器的交流通路图。

2)该放大器属于哪一类放大器(甲、乙、丙、丁)?

3)此放大器可以不失真的放大调幅波,调频波,调相波?

4)若负载电阻 $R_L = 50 \Omega$, $X_L = j30 \Omega$, $X_{C2} = -j25 \Omega$, 请计算出 $X_{C1} = ?$

5)若负载电阻 R_L 上得到的功率为 $1W$, 且电抗元件均为无损耗, 计算晶体管 ce 两端的交流电压 v_{ce} 的幅度是多少?

2. (10分)

题图(2)是一调幅接收机混频器的方框图, 设本振信号: $v_L(t) = V_{Lm} \cos \omega_L t$, 输入信号为:

$v_S(t) = V_{sm} (1 + m_a \cos \Omega t) \cos \omega_s t$, 中频 $\omega_I = \omega_L - \omega_s$.

请回答下列问题:



题2图

022d302

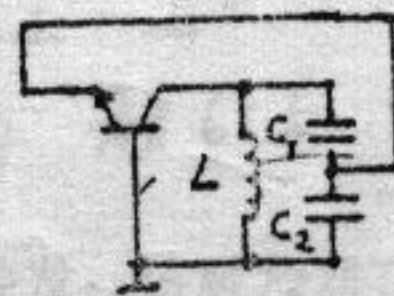
1)画出图中方框图三个输入、输出口的波形与频谱图。

2)画出一个最简单的晶体三极管混频器的电原理图。

3)若晶体三极管的输出电流与输入电压的转移特性表示式如下:

$$i_c = a_0 + a_1(v_{be} - V_{beQ}) + a_2(v_{be} - V_{beQ})^2 + a_3(v_{be} - V_{beQ})^3$$

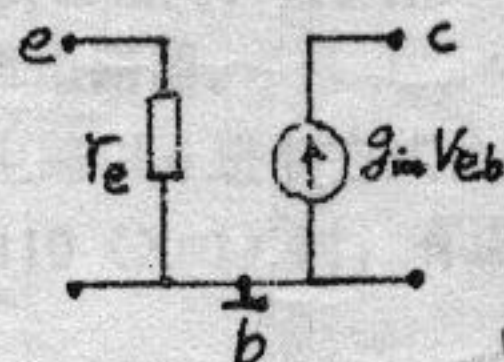
当晶体管工作在线性时变状态时, 主要由哪一项产生中频输出, 为什么?



022d303

3. (10分)

题图(3)为一电容三点式振荡器的交流通路图, 由元件 L 和 C_1, C_2 组成的谐振回路的空载 $Q_0 = \infty$ 。若晶体管用图示的最简单的等效电路代入。请回答下列问题:



题3图

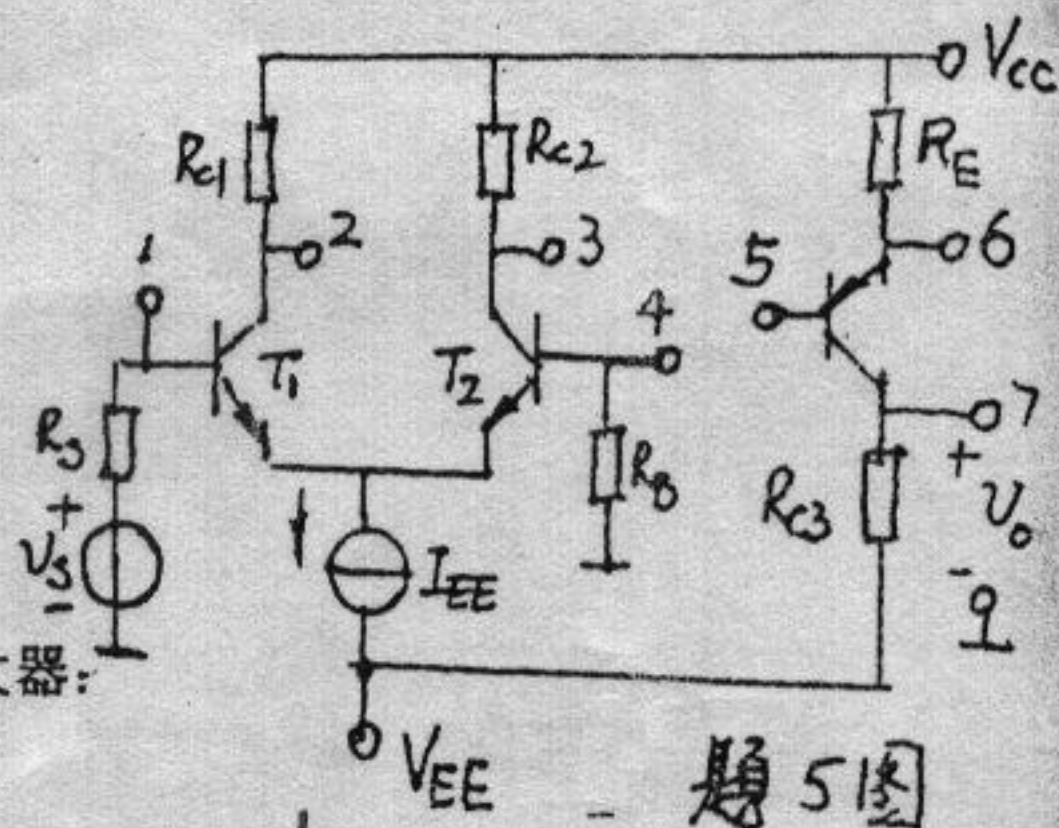
022d304

1)写出振荡器环路增益 $T = AF$ 的表达式。

2)给此振荡器的交流图添上直流电源和偏置, 画出其完整的电路图。

4. 已知两只 MOS 管的参数为 $g_{m1}=g_{m2}=228\mu A/V$, $r_{ds1}=r_{ds2}=640 K\Omega$, 用这两只管子组成 CMOS 单级放大器电路。(10 分)

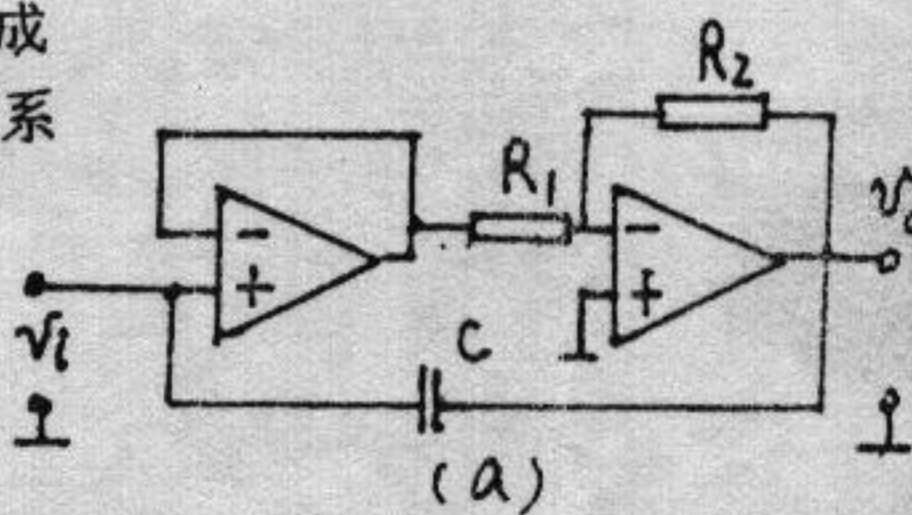
- 求: (1). 画出该放大器电路图
(管子为增强型 MOS 管);
(2). 画出交流等效电路图;
(3). 求其电压增益 $A_v=?$ 。



022d305 题 5 图

5. 在题图 5 电路中按下列要求分别接成负反馈放大器:
(10 分)
(1). 具有高的输入电阻和稳定的输出电流;
(2). 具有稳定的输出电压和低的输入电阻。

6. (10 分) (1). 在图题 6 (a) 所示的电路中, 假设集成运放满足理想化条件, 求输入电容 C_i 与 C 之间的关系
(2). 在图题 6 (b) 所示的电路中, 设集成运放是理想的, 求电路的输出电压值。



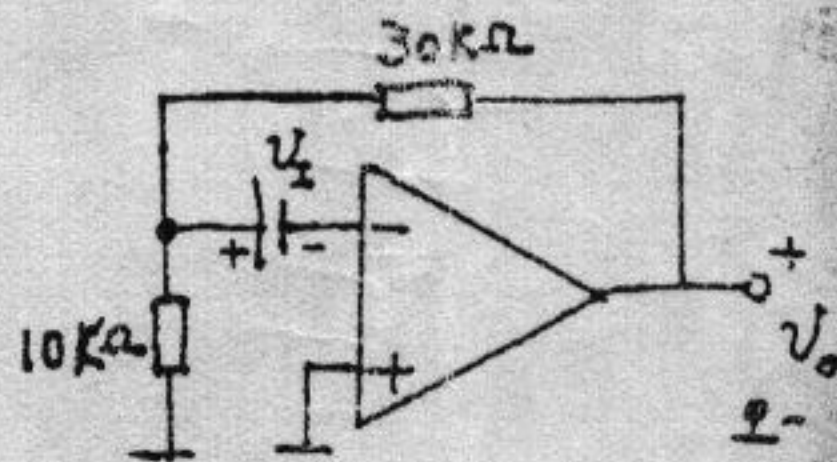
题 6(a) 图 022d306

7. 用代数法化简逻辑表达式, 并注明所引用的公式名称或形式。(7 分)

$$F = (A + \overline{A}B + \overline{B} + CD + \overline{B}AD) (A(\overline{A}C + BD) + B(C + DE) + \overline{B}C)$$

8. 已知一水箱高 10 米, 在水箱内每相差 1 米的地方装一个检测头, 其中最低一个检测头安装在高 1 米处, 最高处安装在 9 米处。当水面低于检测头时对应的逻辑电平为 0, 高于检测头时逻辑电平为 1, 设计一个组合逻辑电路, 使水箱中的水面高度用一个具有 7 段显示功能的数码管来显示。(8 分)

- (1). 列出真值表;
(2). 写出译码电路中显示其中 E、F、G 三段的译码电路的最简逻辑表达式。



022d307 题 6(b) 图

9. 设计一个新型的 RS 触发器, 已知触发端 R 和 S 都为低电平触发; 该触发器在 R 和 S 都为低电平时能保持原状态, 其他的状态转换与基本 RS 触发器相同。(10 分)
要求: (1) 写出设计过程, 列出逻辑表达式 (2) 画出逻辑电路图。

10. 用 D 或 JK 触发器设计一套同步时序电路, 已知 $X=0$ 时, 电路以 6 进制方式计数, 当 $X=1$ 时, 电路以 7 进制方式计数, 并在计到 101 ($X=0$) 或 110 ($X=1$) 时, 有进位输出 $Z=1$ 。(15 分)

- 要求: (1). 化出状态转换图; (2). 写出状态转换真值表;
(3). 写出状态转换方程; (4). 写出激励方程和输出方程;

4/4