

南京理工大学

2005 年硕士学位研究生入学考试试题

试题编号: 200510030

考试科目: 微机原理与接口技术 (满分 150 分)

- 考生注意: 1. 所有答案 (包括填空题) 按试题序号写在答题纸上, 写在试卷上不加分
2. 试题后面有相关的资料可供查询
3. 设计类题目, 未给明的条件均自定, 但必须给出说明

一. 填空题 (每空 1 分, 共 25 分)

1. 计算机中有一个二进制数 C8H, 作为无符号数, 它表示十进制的_____; 作为带符号数, 它表示十进制的_____。
2. 寻址方式是指_____, 指令 MOV [BX-DI], AX 中, 目的操作数采用的是_____寻址方式, 此时该操作数在_____段。
3. Intel8086/8088 内部可分为_____和_____两部分, 其中前者用来_____, 后者用来_____。
4. 在指令执行过程中, 下一条将要执行的指令地址由_____来指示, 而栈顶的位置则由_____来指示。
5. Intel8086 / 8088CPU 的标志寄存器中共有_____个标志, 其中 IF 是_____标志, OF 是_____标志。
6. 半导体静态 RAM 靠_____存储信息, 而动态 RAM 则靠_____存储信息, 为保证动态 RAM 中的信息不丢失, 需要进行_____操作。
7. 按在系统中所处的不同层次和位置, 总线分为片内总线、_____、系统总线和_____。
8. 中断控制器 Intel8259A 能够提供 8 级优先权控制, 至少通过_____片级连, 可扩展至 23 级优先权控制。
9. 串行通信的特点是_____, 串行通信中的波特率是指_____, 异步串行通信传送数据的基本单位为_____; 同步串行通信传送数据的基本单位为_____, 其中最先传送的是_____。

二. 判别对错 (每题 2 分, 共 20 分, 对填 T, 错填 F)

1. 16 位二进制补码可表示数的范围为-32768---+32767。 ()
2. 在直接寻址方式下, 操作数默认存放在数据段。 ()
3. “溢出”是指计算机在运行过程中数据量超过了内存容量。 ()
4. 设 Intel8253 的计数器 1 工作在方式 0, 计数初值为 10, 门控 GATE 始终为高电平, $CLK_1=1.19318\text{MHz}$, 则每次触发后 OUT_1 端输出的脉冲宽度为 $8.38\mu\text{s}$ 。 ()
5. 要用 $16\text{K}\times 8$ 的存储器芯片构成 $64\text{K}\times 8$ 的存储器需采用位扩展方式。 ()

6. 若 8 位 D/A 转换器的精度为 $\pm \frac{1}{2} LSB$ ，则其最大绝对误差为满量程的 $\frac{1}{512}$ 。 ()
7. 存储器读、写和 I/O 读、写都属于 Intel8086/8088 的总线操作。 ()
8. 条件转移指令可以跳转的地址范围为 -32767~+32768 字节。 ()
9. 在级连情况下，主 Intel8259A 和从 Intel8259A 应设置相同的中断嵌套方式。 ()
10. Intel8237 有 16 个端口地址，对 Intel8237 初始化时，地址初值和计数初值要写入相应通道。 ()

三. 简述题 (每题 5 分, 共 25 分,)

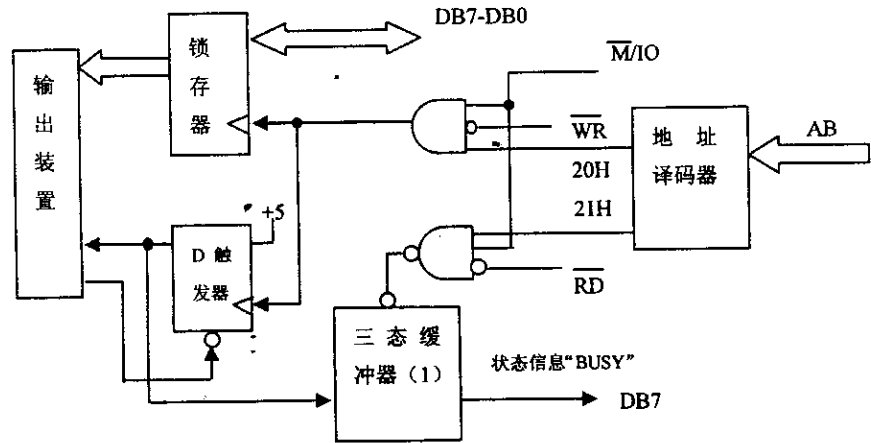
1. 试说明接口、I/O 接口的基本概念及在微机系统中的功能和作用。
2. 简要分析引入 Cache 后，存储器系统的体系结构，并说明这种结构的优点。
3. 简述 DMA 传输的处理过程，说明它与中断方式相比的优势所在，为什么？
4. 试根据下列数据段的定义，画出汇编后数据区的内存分配图：

```

DATA SEGMENT
  BUFF DB 12H,'NEW'
  COUNT EQU $-BUFF
  RESULT DW 2DUP(21H)
DATA ENDS

```

5. 下图是一种查询式输出的接口电路，试简述其工作原理及工作过程。说明其数据端口和状态端口的地址各是什么？



四. 汇编程序设计 (每题 10 分, 共 20 分)

1. 以下程序完成将从键盘输入的数字 0~9 进行简单加密后，存入 MIMA 单元中的功能，请在原程序的基础上设计解密程序，把解密后的数据存回到 EMIMA 单元中。

```

DATA SEGMENT
MITAB DB 7,5,9,1,3,6,8,0,2,4
MIMA DB ?
DATA ENDS
CODE SEGMENT
ASSUME CS: CODE, DS: DATA
STAR PROC FAR
BEGIN: PUSH DS
      MOV AX, 0
      PUSH AX
      MOV AX, DATA
      MOV DS, AX
      MOV AH, 1
      INT 21H
      AND AL, 0FH
      LEA BX, MITAB
      XLAT
      MOV MIMA, AL
      RET
STAR ENDP
CODE ENDS
END BEGIN

```

2. 假设在数据段的 BUF 区域中有一个长度为 100 的字节数据块，数据块的长度存放在 BUF 区域的第一个单元中。要求：在这个数据块中搜索第一个报警符（ASCII 码为 55H），若找到，则将其在原数据块中的序号存入 NUM 中；否则，将 55H 添加在原数据块的末尾，并修改数据块长度。请设计完整的汇编程序源程序。

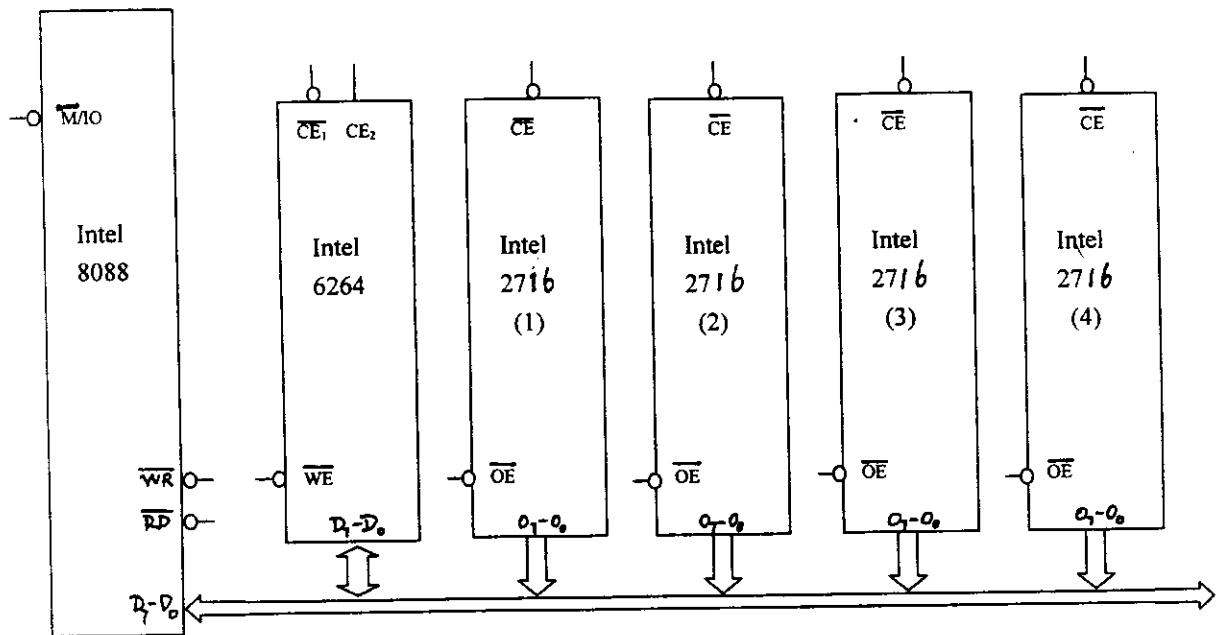
五. 拟以 Intel8088CPU 为核心，构成微机存储器系统，要求及条件如下：

1. 占用连续空间，总容量 16KB，起始地址 2000H，其中 ROM 容量为 8KB，占低地址区域，RAM 容量为 8KB，占高地址区域；
2. 系统设计所需要的译码器及与非门器件不受限制；
3. 现有存储器芯片：

EPROM: Intel2716 规格为 2K×8；

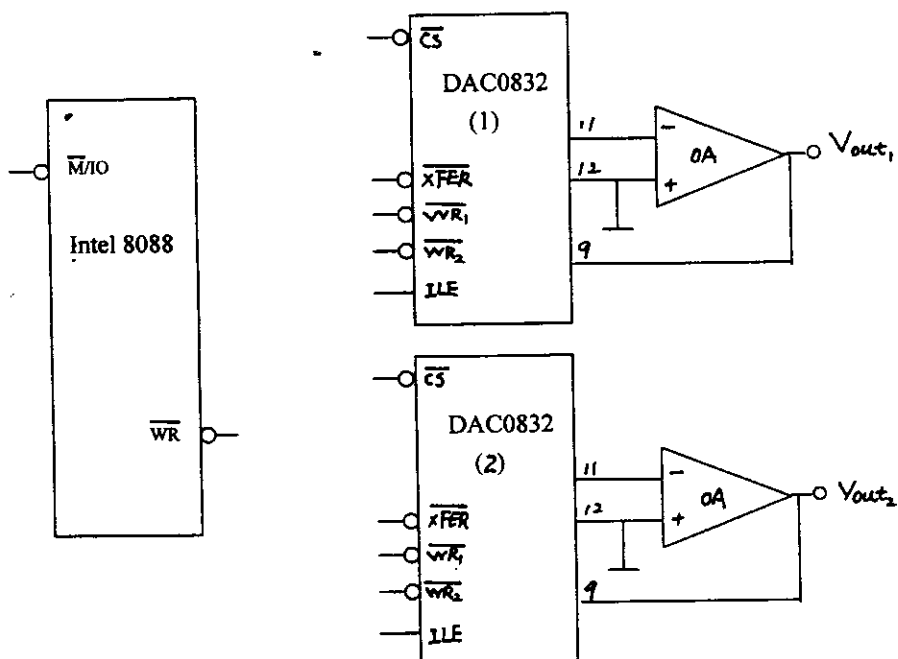
静态 RAM: Intel6264 规格为 8K×8

试完成硬件线路的设计并写出各芯片的地址范围（12 分）。



六. 拟采用 Intel8088CPU 及两片 DAC0832 芯片, 构成两路锯齿波发生器。要求同步输出两路周期相同、锯齿方向相反的信号, 试:

1. 完成硬件电路设计, 并说明两片 DAC0832 共需占用几个端口地址, 端口地址值如何确定?
2. 完成连续输出 10 个周期波形的程序段设计, 并说明在程序中, 如何调整输出信号的周期? (系统设计所需要的译码器及与非门器件不受限制) (14 分)



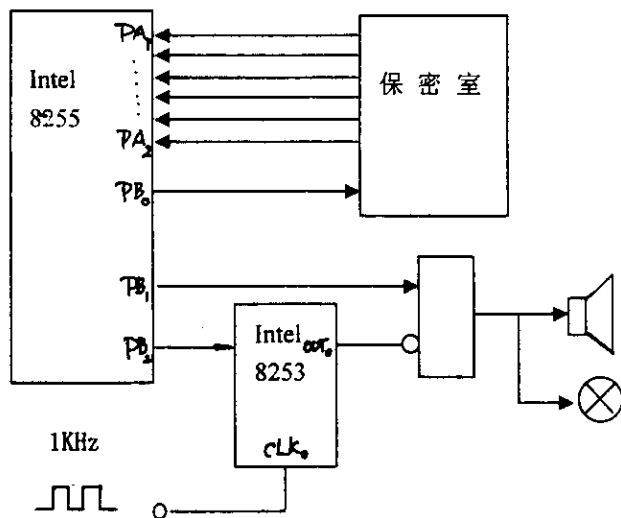
七. 以 Intel8251 及 Intel8259A 构成中断串行数据接收系统, 规定 Intel8251A 的两个端口地址分别为 02C0H 和 02C1H, Intel8259A 的两个端口地址为 20H 和 21H。现有频率为 38400Hz 的时钟信号, 要求通信规程如下: 单工异步传送, 数据传送波特率 2400, 每个数据帧含有 7 个数据位、1 个奇校验位、1 个起始位、1.5 个停止位。

要求: Intel8259 的中断请求采用边沿触发方式, 中断优先级管理采用普通的全嵌套方式, 中断屏蔽采用普通屏蔽方式, 中断结束采用自动方式, 中断服务子程序的名称为 INTR。

1. 试问 Intel8251 如何发中断请求?
2. 完成系统主程序的设计。(16 分)

八. 如图所示, 为一保密室的报警控制系统。六个被监控点的状态分别通过 Intel8255A 端口 A 的高 6 位输入, 只要其中任一路出现异常情况(高电平), 系统就通过 Intel8255A 端口 B 的 PB_0 位输出高电平, 用以对保密室实施断电处理, 同时通过 Intel8255A 端口 B 的 PB_1 位输出高电平有效的报警控制信号, 分别用以启动声、光报警, 以便人工干预。报警信号持续时间为 1 分钟, 由 Intel8253 芯片的通道 0 控制, 定时器的工作由 Intel8255A 端口 B 的 PB_2 位输出高电平来启动。

已知: 系统中 CPU 采用 Intel8086, Intel8255A、Intel8253 芯片的数据线引脚直接接系统数据总线的低 8 位, Intel8255A 的 8 位端口基地址为 BASE1, Intel8253 的 16 位端口基地址为 BASE2, Intel8253 通道 0 的定时脉冲频率为 1KHz, 试完成系统的初始化程序设计 (18 分)。



辅助材料

一. 存储器芯片资料

1. 静态 RAM 存储器芯片 Intel6264

规格：8K×8 地址引脚：A₁₂-A₀； 数据引脚：D₇-D₀；

控制信号及对应的操作如下：

$\overline{CE}_1$	CE_2	$\overline{OE}$	$\overline{WR}$	操作
0	1	0	1	读
0	1	1	0	写

2. EPROM 存储器芯片 Intel2716

规格：2K×8 地址引脚：A₁₀-A₀； 数据引脚：D₇-D₀；

控制信号及对应的操作如下：

$\overline{CE}$	$\overline{OE}$	操作
0	0	读

二. 8088/8086 微机系统常用接口芯片控制及状态字

1. Intel 8259A

(1). ICW₁ 写入 8259A 偶地址端口

ICW₁的格式如下：

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
×	×	×	1	LTIM	ADI	SNGL	IC ₄

D₇-D₅：在 8086/8088 系统中不用，可随意设置；

D₄：恒定为 1，为 ICW₁的特征位；

D₃：LTIM 位，规定中断请求信号的触发方式，LTIM=1，为电平触发方式；

LTIM=0，为边沿触发方式；

D₂：ADI 位，在 8086/8088 系统中不用，可随意设置；

D₁：SNGL 位，若 8259A 单片工作，SNGL=1，否则 SNGL=0。

D₀：IC₄ 位，IC₄=1，表示对相应 8259A 芯片初始化时，须设置 ICW₄；若 ICW₄ 的各位都为 0，则不需设置 ICW₄。

(2). ICW₂ 写入 8259A 奇地址端口

ICW₂用以设置相应 8259A 芯片所管理 8 级中断源的中断类型码，其中低 3 位为 8 级中断源的编码，高 5 位由用户自由设置。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
					×	×	×

(3). ICW₃ 写入 8259A 奇地址端口

ICW₃ 用于 8259A 的级联方式

对主片来讲, 如果 IR_i 接有从片, 则其 ICW₃ 中相应的位置 1; 否则, 其 ICW₃ 中相应的位置 0。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
IR ₇	IR ₆	IR ₅	IR ₄	IR ₃	IR ₂	IR ₁	IR ₀

对从片来讲, D₇~D₃ 不用, 可以随意设置, D₂~D₀ 为该从片中中断请求输出信号所接主 8259A 芯片中断输入引脚 IR_i 中, i 的编码。

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
×	×	×	×	×	ID ₂	ID ₁	ID ₀

(4). ICW₄ 写入 8259A 奇地址端口

ICW₄ 的格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	0	SFNM	BUF	M/S	AEOI	μPM

D₇~D₅: 恒定为 000, 是 ICW₄ 的特征位;

D₄: SFNM 位, SFNM=1, 中断优先级设置为特殊的全嵌套模式; SFNM=0, 中断优先级设置为普通的全嵌套模式;

D₃: BUF 位, 若 8259A 通过外部总线缓冲器与系统数据总线相连, 则置 BUF=1; 若 8259A 与系统数据总线直接相连, 则置 BUF=0;

D₂: M/S 位: 在缓冲方式下, 用来表明相应 8259A 是否主片, 若为主片, 置 M/S=1; 否则置 M/S=0; 在非缓冲方式下: 该位没有实际意义, 可以随意设置。

D₁: AEOI 位: AEOI=1, 置自动中断结束方式; AEOI=0, 中断结束需用中断结束命令。

D₀: μPM 位: 若系统中微处理器选用 8086/8088, 则设置 μPM=1; 若系统中微处理器选用 8080/8085, 则设置 μPM=0;

(5). OCW₁ 写入 8259A 奇地址端口

若使 8259A 的 IR_i 中断请求呈屏蔽状态: 则置 OCW₁ 中的第 i 位=1, 否则, 若置 OCW₁ 中的第 i 位=0,

OCW₁ 的格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
M ₇	M ₆	M ₅	M ₄	M ₃	M ₂	M ₁	M ₀

(6). OCW₂ 写入 8259A 偶地址端口

OCW₂ 中各位的不同组合, 可以形成不同的操作控制命令, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
R	SL	EOI	0	0	L ₂	L ₁	L ₀

D₇: R 位, R=1, 中断优先级采用自动循环方式; R=0, 中断优先级不采用自动循环方式;

D₆: SL 位: SL=1, 表明相应控制命令是对特定中断源进行的, 需用到 L₂、L₁、L₀ 位的编码;

D₅: EOI 位, EOI=1, 表明相应操作命令是中断结束命令;

D₄~D₃: 恒定设置为 00, 是 OCW₂ 的特征位;

D₂~D₀: L₂、L₁、L₀ 位, 表明所对应的中断源。

(7).OCW₃ 写入 8259A 偶地址端口

OCW₃ 中各位的不同组合，可以形成不同的操作控制命令，格式如下：

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
×	ESMM	SMM	0	1	P	RR	RIS

D₇: 未用，可以随意设置；

D₆: ESMM 位，ESMM=1，允许设置或清除对中断请求的特殊屏蔽方式；

D₅: SMM=1，设置对中断请求的特殊屏蔽方式；SMM=0，取消对中断请求的特殊屏蔽方式；

D₄~D₃: 恒定设置为 01，是 OCW₃ 的特征位；

D₂: P 位，P=1，表示相应的操作字是查询中断源命令；

D₁: RR 位，RR=1，表明随后可从偶地址端口，读入 8259A 寄存器的内容；

D₀: RIS，RIS=1，表明要读取 ISR 寄存器的内容；RIS=0，表明要读取 8259A 中 IRR 寄存器的内容。

2. Intel 8253

8253 的方式控制字写入 8253 的控制字寄存器，格式如下：

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
SC ₁	SC ₀	RW ₁	RW ₂	M ₂	M ₁	M ₀	BCD

SC₁~SC₀: 通道选择位，00: 选择通道 0；01: 选择通道 1；10: 选择通道 2；11: 非法；

RW₁~RW₀: 读/写方式选择位，00: 发锁存控制命令；01: 只读/写低位字节；

10: 只读/写高位字节；11: 依次读/写低位、高位字节；

M₂~M₀: 工作方式选择位，000: 方式 0；001: 方式 1；×10: 方式 2；×11: 方式 3；

100: 方式 4；101: 方式 5；

BCD: 计数制选择位，BCD=1，按十进制（BCD 码）计数；否则，按二进制计数。

3. Intel 8255A

(1).8255A 的命令控制字写入 8255 的控制字寄存器

8255 命令控制字的格式如下：

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
1	A 组工作方式	A 口 I/O	PC ₃ ~PC ₄ I/O	B 组工作方式	B 口 I/O	PC ₃ ~PC ₀ I/O	

D₇: 恒为 1，8255A 命令控制字的特征位

D₆~D₅: A 组工作方式选择位，00: 方式 0；01: 方式 1；1×: 方式 2；

D₄: A 口 I/O 选择位，0: 输出；1: 输入；

D₃: PC₃~PC₄I/O 选择位，0: 输出；1: 输入；

D₂: B 组工作方式选择位，0: 方式 0；1: 方式 1；

D₁: B 口 I/O 选择位，0: 输出；1: 输入；

D₀: PC₃~PC₀I/O 选择位，0: 输出；1: 输入；

(2). 8255A 的端口 C 置位/复位命令控制字写入 8255 的控制字寄存器

8255 的端口 C 置位/复位命令控制字的格式如下：

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	×	×	×	C 口相应位的编码			置位/复位选择

D₇: 恒为 0, 8255A 的端口 C 置位/复位命令控制字的特征位;

D₆~D₄: 未用, 可以随意设置;

D₃~D₁: C 端口中需要置位/复位的位编码;

D₀: 置位/复位选择位, D₀=1: 置位; D₀=0: 复位。

4. Intel 8251

(1). 方式控制字, 写入 8251 的奇地址端口, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
S ₂	S ₁	EP	PEN	L ₂	L ₁	B ₂	B ₁

D₇~D₆: 异步通信方式下, 用来设置停止位的个数, 00: 无效; 01: 1 位; 10: 1.5 位; 11: 2 位;

同步通信方式下, D₆用来设置内、外同步方式, D₆=0 设置内同步, D₆=1 设置外同步; D₇位用来确定同步字符的个数, D₇=1 设置单同步字符; D₇=0 设置双同步字符;

D₅: 奇/偶校验选择位, D₅=1, 选择偶校验; D₅=0, 选择奇校验;

D₄: 奇/偶校验允许位, D₄=1, 允许设置奇/偶校验位; D₄=0, 不允许设置奇/偶校验位;

D₃~D₂: 用以确定所传送数据字符的位数, 00: 5 位; 01: 6 位; 10: 7 位; 11: 8 位

D₁~D₀: 用以确定发送与接收数据的速率

00: 用于同步传送;

01: 用于异步传送, 波特率系数为 1;

10: 用于异步传送, 波特率系数为 16;

11: 用于异步传送, 波特率系数为 64。

(2). 控制命令字, 写入 8251 的奇地址端口, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
EH	IR	RTS	ER	SBRK	RxE	DTR	TxE

D₇: EH 位, EH=1 用以启动搜索同步字符;

D₆: IR 位, IR=1 迫使 8251 内部复位;

D₅: RTS 位, RTS=1 使 8251 从相应引脚输出有效信号;

D₄: ER 位, ER=1 使所有错误标志复位;

D₃: SBRK 位, SBRK=1 迫使 8251 发中止符;

D₂: Rx E 位, Rx E=1 允许接收;

D₁: DTR 位, DTR=1 数据终端准备好;

D₀: Tx E 位, 允许发送。

(3). 工作状态字, 从 8251 的奇地址端口读入, 格式如下:

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
DSR	SYNDET	FE	OE	PE	TxE	RxRDY	TxRDY

D₇: DSR 位, 若 8251 的 $\overline{DSR}$ 引脚输入有效信号, 则该位被置 1;

D₆: SYNDET 位, 若 8251 的 SYNDET 引脚为高电平, 则该位被置 1;

D₅: FE 位, 若在数据接收过程中, 出现了帧错误, 则该位被置 1;

D₄: OE 位, 若在数据接收过程中, 出现了溢出错误, 则该位被置 1;

D₃: PE 位, 若在数据接收过程中, 出现了奇偶校验错误, 则该位被置 1;

D₂: Tx E 位, 若 8251 的 Tx E 引脚为高电平, 则该位被置 1;

D₁: RxRDY, 若 8251 的 RxRDY 引脚为高电平, 则该位置 1;

D₀: TxRDY, 若 8251 的数据发送缓冲器空, 则该位被置 1。