

# 南京理工大学

## 2006 年硕士学位研究生入学考试试题

试题编号: 200610029

考试科目: 微机原理与接口技术 (满分 150 分)

- 考生注意:**
1. 所有答案(包括填空题)按试题序号写在答题纸上, 写在试卷上不给分
  2. 试题后面有相关的资料可供查询
  3. 硬件设计类题目, 连线可画在试题上, 未给明的条件自定, 但须给出说明

### 一. 填空题 (每空 1 分, 共 30 分)

1. 已知  $IP=0100H$ ,  $JMP\ short\ LAB1$  的指令码为  $(E8\ E0)$ , 则目标地址  $IP=$ \_\_\_\_\_。
2. 如果在一个程序执行之前,  $(CS)=0A7F0H$ ,  $(IP)=2B40H$ , 试问该程序段的第一个物理地址是\_\_\_\_\_。
3. 在汇编程序设计中, 如果想在运行过程中改变存储器操作数类型, 可以使用\_\_\_\_\_和\_\_\_\_\_运算符指令实现。
4. 在 8251 芯片中, 若设定传输速率为 300 位/秒, 输入脉冲频率为 19.2KHz, 则波特率系数为\_\_\_\_\_。
5. 当 8255A 的 A 口工作于方式 1, 并执行输出操作时, 其向 CPU 发出中断请求的条件是\_\_\_\_\_。
6. BIU 在 CPU 内部主要负责与\_\_\_\_\_和\_\_\_\_\_交换数据。
7. 主 8259A 中断控制器的  $IR_0$ 、 $IR_2$  上又级联了两片从 8259A 中断控制器芯片, 那么它们最多可以管理中断源的个数为\_\_\_\_\_个。
8. 设栈顶地址为  $3000H$ , 当执行  $RET\ 0006$  后,  $SP$  的值为\_\_\_\_\_。
9. 如果总线周期信号  $M/\overline{IO}=0$ 、 $D/\overline{C}=1$ 、 $W/\overline{R}=0$ , 则将产生\_\_\_\_\_总线周期。
10. 某存储器 ROM 芯片有 15 根地址线和 8 根数据线, 则该 ROM 能存储\_\_\_\_\_字节数据。
11. 在 IBM PC/XT 系统中, CPU 响应外部中断时会在第\_\_\_\_\_个响应周期中读入一字节的的中断向量。若某中断的中断向量为  $5EH$ , 则相应中断服务程序的入口地址存放在中断向量表内自\_\_\_\_\_H (物理地址) 开始连续的\_\_\_\_\_字节单元内。
12. 一般在扩展 8 位的接口芯片时, 若 CPU 采用 INTEL8086, 则将接口芯片的 8 位数据线直接与 8086 的\_\_\_\_\_线相连, 接口芯片的地址线  $A_0$  接至 8086 的引脚, 其原因是\_\_\_\_\_。
13. 尽管标号和变量都是存储单元的符号地址, 但标号对应的存储单元中存放的是\_\_\_\_\_而变量对应的存储单元中存放的是\_\_\_\_\_。
14. 微机系统中内存 RAM 区由 INTEL2114 ( $1K*4$ ) 芯片组成, 若 RAM 总容量为 6K 字节, 则需要\_\_\_\_\_片 2114 芯片。若另采用 3—8 译码, 则至少需要地址总线中的\_\_\_\_\_根地址线。

15. 8253 的 CLK 输入频率为 1MHz，OUT 输出周期为 8ms 的方波，计数器控制字为 BCD 计数，则写入的计数值为\_\_\_\_\_。
16. 已知  $X = -68$ ，则 X 的 16 位二进制补码为\_\_\_\_\_， $X/2$  的 8 位二进制补码为\_\_\_\_\_。
17. 一个 8 位的二进制整数用补码表示，且该数中含有 3 个 1 和 5 个 0，则其表示的最小值为\_\_\_\_\_。
18. 高档微机系统中采用 Cache 存储器的作用是\_\_\_\_\_，影响 Cache 存储器效率发挥的主要因素为 Cache 的容量和\_\_\_\_\_，通常用“命中率”来衡量 Cache 的效率，其含义是\_\_\_\_\_。
19. 按在系统中所处的不同层次和位置，总线分为片内总线、\_\_\_\_\_、系统总线和\_\_\_\_\_。

## 二、选择题（每题 1 分，共 15 分）

- 1 8237A 用作存储器与存储器之间的传送时，从源地址中读取的数据通过\_\_\_\_\_送到目的地址单元中。
- (A) CPU 的通用寄存器 (B) 8237A 的读写寄存器  
(C) 8237A 的临时寄存器 (D) 8237A 中的现行字节寄存器
- 2 如果选择波特率因子为 64，在接收时，采用波特率的 64 倍频率作为接收时钟，其目的是\_\_\_\_\_。
- (A) 识别正确的起始位 (B) 取样信号的峰值  
(C) 提高接收速度 (D) 提高取样精度
- 3 一个 8 位的 D/A 转换器，若精度为  $\pm 1/2\text{LSB}$ ，则其最大可能误差为\_\_\_\_\_。
- (A) 满量程的 1/2 (B) 满量程的 1/8 (C) 满量程的 1/256 (D) 满量程的 1/512
4. 微型计算机中地址总线的信号状态是：\_\_\_\_\_
- (A) . 单向双态 (B) . 单向三态  
(C) . 双向三态 (D) . 双向双态
5. 现行 PC 机的 CPU 引脚中，接有硬中断信号的引脚有\_\_\_\_\_。
- (A) . 15 个 (B) . 8 个  
(C) . 2 个 (D) . 1 个
6. 8088 对外部中断请求的响应顺序为\_\_\_\_\_。
- A. NMI>INTR>HOLD B. NMI>HOLD>INTR  
C. INTR>NMI>HOLD D. HOLD>NMI>INTR
7. RS232 的 TxD 线上发送的数字信号的逻辑电平关系为\_\_\_\_\_。
- (A). 逻辑 1: -3V~-15V 逻辑 0: 3V~15V  
(B). 逻辑 1: 3V~15V 逻辑 0: -3V~-15V  
(C). 逻辑 1: 0V~0.7V 逻辑 0: 3.8V~5V  
(D). 逻辑 1: 3.8V~5V 逻辑 0: 0V~0.7V
8. 一台 486DX2 的 CPU 其基本总线周期为 2 个处理器时钟周期，加在 CPU 时钟输入端的时钟信号频率为 25MHz，则此 CPU 的基本总线周期为\_\_\_\_\_。

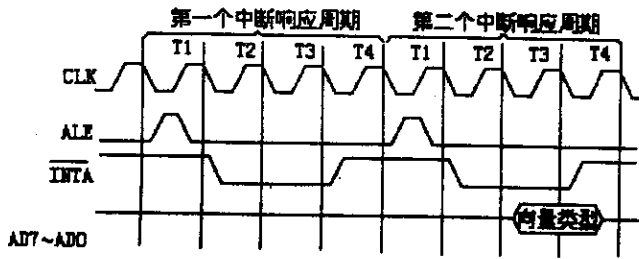
- (A) .10ns      (B) .20ns      (C) .40ns      (D) .80ns
9. 在中断响应周期, CPU 从数据总线上获取\_\_\_\_\_。  
 (A). 中断矢量的偏移地址      (B). 中断矢量  
 (C). 中断矢量的段地址      (D). 中断类型码
10. 要由 8253 产生占空比为 0.5 的方波信号, 应选用 8253 的方式\_\_\_\_\_。  
 (A) 2      (B) 3      (C) 5      (D) 1
11. 两个 BCD 码进行运算, 其结果\_\_\_\_\_。  
 (A). 仍然是 BCD 码, 但不正确  
 (B). 不是 BCD 码, 但可以调整为 BCD 码  
 (C). 没有意义  
 (D). 和运算方式有关
12. 基本的输入输出系统 BIOS, 存储在下列何种存储介质中\_\_\_\_\_。  
 (A). 系统 RAM 中      (B). 硬盘中  
 (C). DOS 操作系统中      (D). 系统 ROM 中
13. 一个系统通过其 8255A 并行接口与打印机连接, 初始化时 CPU 将它的 A 口或 B 口设置成方式 1 输出, 此时 8255A 与打印机的握手信号为\_\_\_\_\_。  
 (A). IBF STB      (B). RDY STB  
 (C). OBF ACK      (D). INTR ACK
14. 8088 在执行 MOV AX, [2000H] 时, 引脚信号的状态分别为\_\_\_\_\_。  
 A.  $IO/\overline{M} = 0, \overline{RD} = 1, \overline{WR} = 0, DT/\overline{R} = 0$   
 B.  $IO/\overline{M} = 0, \overline{RD} = 0, \overline{WR} = 1, DT/\overline{R} = 0$   
 C.  $IO/\overline{M} = 1, \overline{RD} = 0, \overline{WR} = 1, DT/\overline{R} = 0$   
 D.  $IO/\overline{M} = 0, \overline{RD} = 0, \overline{WR} = 1, DT/\overline{R} = 1$
15. 8251A 收、发串行数据的波特率\_\_\_\_\_。  
 (A). 可由编程设置  
 (B). 等于 CLK 输入的基准时钟频率的 16 倍  
 (C). 等于 CLK 输入的基准时钟频率的 1/16  
 (D). 等于 CLK 输入的基准时钟频率

### 三、简答题 (每题 5 分, 共 25 分)

1. 举例说明溢出和进位有何区别和联系?
2. 试根据下列数据段的定义, 给出 COUNT 的值并画出汇编后数据区的内存分配图:

```
DATA SEGMENT
BUFF DB 12H, '0'
RESULT DW 2DUP(20, 0FFH)
COUNT = $-BUFF
DATA ENDS
```

3. 请结合下面 INTEL8086/8088 中断响应周期的时序图, 简要说明 CPU 响应可屏蔽中断的工作过程。



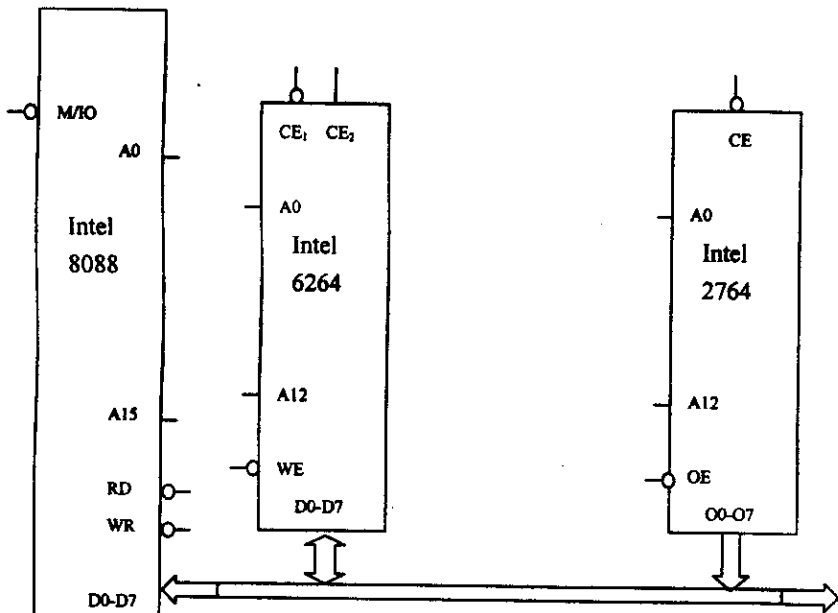
4. 简述 EU 的基本功能，并说明 BIU 如何与 EU 配合协调工作的。
5. 何为流水线、超标量、超流水线技术？并简要分析流水线技术的原理。

#### 四、编程题

- 1 已知有 200 个双字节正整数，放在自 BUFFER 开始的存储区域内，试编程求其和。如果结果不超过 65535，则将其放入 RESULT 中，否则将 0 送入 RESULT 中。（8 分）
- 2 设有两个数组 A、B，其数据均为 20 个，两数组均按从小到大顺序排列，现要求将两数组合并为一个数组 C，使 C 也按从小到大顺序排列，并紧跟在 A、B 之后存放。（写出完整程序）。（12 分）

#### 五. 以 Intel8088CPU 为核心，组构一个存储器系统，要求：

1. RAM 容量为 16KB，ROM 容量为 8KB，其中 ROM 起始地址为 0000H 连续存放，RAM 起始地址为 8000H 连续存放；
  2. 可采用 74LS138 译码器，使用与非门器件不受限制；
  3. 现有存储器芯片（引脚说明见辅助材料）：  
 EPROM: Intel2764 规格为 8K×8；  
 静态 RAM: Intel6264 规格为 8K×8
- 试完成硬件线路的设计并写出各芯片的地址范围（12 分）。



六. Intel8086CPU 通过并行接口芯片 Intel8255A 实施监控, 启动操作由端口 B 的 PB7 控制 (高电平有效), 端口 A 输入八个监控点的状态, 只要其中任一路出现异常情况(高电平), 系统就通过与 Intel8255A 端口 C 的 PC<sub>0</sub> 相连的信号灯报警 (要求信号灯亮灭 3 次), 试完成相应的控制程序 (含对 8255A 的初始化, 设其端口地址为 1020H~1026H)。 (8 分)

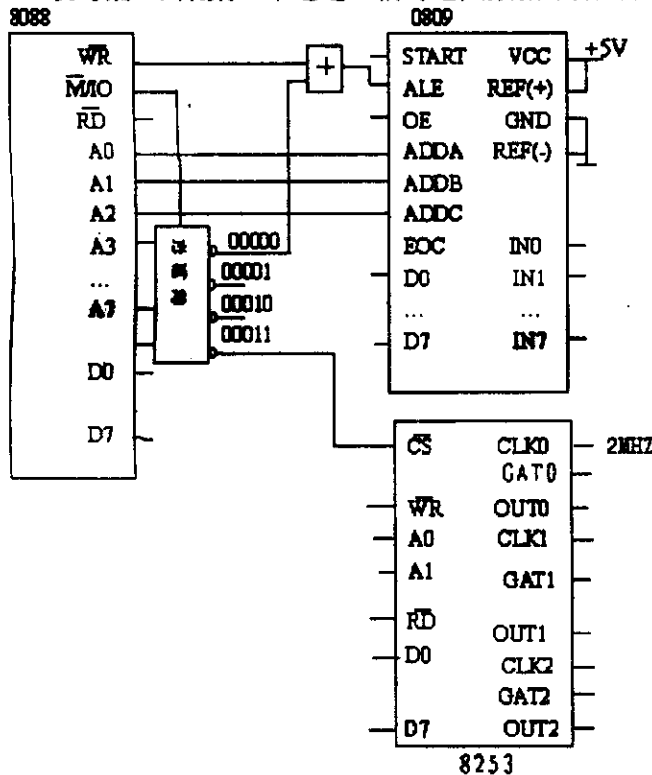
七. 设 Intel 8251A 的两个端口地址分别为 0F0H 和 0F1H, 发送时钟频率为 38.4kHz, 通信规程如下: 单工异步传送, 数据传送波特率 2400, 7 位/字符、偶校验、1 个起始位、1.5 个停止位。拟采用中断方式把数据段以 BUFF 开始的 100 个连续字节单元中的数据依次发送出去,

Intel8259 的 IR<sub>4</sub> 接收 8251 的中断请求, 中断请求信号采用边沿触发方式, 一般全嵌套方式, 中断屏蔽采用普通屏蔽方式, 中断结束采用自动方式。中断服务子程序为 DINTR。8259 的端口地址为 80H 和 81H。

- 要求: 1. 完成系统主程序的设计 (含对芯片的初始化以及对中断向量的设置)  
2. 完成中断服务子程序的设计。(20 分)

八. 在以 Intel8088CPU 为核心的微机温控系统中, 通过 0809 接收来自蔬菜大棚中不同位置的 8 个温度传感器的输出, 由 8253 定时启动, 从 0809 的 IN<sub>0</sub>-IN<sub>7</sub> 巡回采集数据送 8088 的内存以 DATA 开始的存区, 每一通道采集 10 个数据。部分硬件连接图如下, 试完成: (20 分)

- 1、补充完善硬件连线。
- 2、设定时间为 2S, 编写 8253 的初始化程序。
- 3、设每隔 2S 采集一个通道, 编写巡回数据采集的程序。



## 辅助材料

### 一. 存储器芯片资料

#### 1. 静态 RAM 存储器芯片 Intel6264

规格:  $8K \times 8$  地址引脚:  $A_{12}-A_0$ ; 数据引脚:  $D_7-D_0$ ;

控制信号及对应的操作如下:

$\overline{CE}_1$	$CE_2$	$\overline{OE}$	$\overline{WR}$	操作
0	1	0	1	读
0	1	1	0	写

#### 2. EPROM 存储器芯片 Intel2764

规格:  $6K \times 8$  地址引脚:  $A_{12}-A_0$ ; 数据引脚:  $O_7-O_0$ ;

控制信号及对应的操作如下:

$\overline{CE}$	$\overline{OE}$	操作
0	0	读

#### 3. 译码器芯片 74LS138 规格: 3-8 译码器:

3-8 译码器真值表						
$G_1$	$G_{2A}$	$G_{2B}$	C	B	A	输出特性
1	0	0	0	0	0	$Y_0=0$ , 其余全为 1
1	0	0	0	0	1	$Y_1=0$ , 其余全为 1
1	0	0	...	...	...	.....
1	0	0	1	1	1	$Y_7=0$ , 其余全为 1

## 二. 8088/8086 微机系统常用接口芯片控制及状态字

### 1. Intel 8259A

#### (1). ICW<sub>1</sub> 写入 8259A 偶地址端口

ICW<sub>1</sub> 的格式如下:

$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
×	×	×	1	LTIM	ADI	SNGL	IC <sub>4</sub>

$D_7-D_5$ : 在 8086/8088 系统中不用, 可随意设置;

$D_4$ : 恒定为 1, 为 ICW<sub>1</sub> 的特征位;

$D_3$ : LTIM 位, 规定中断请求信号的触发方式, LTIM=1, 为电平触发方式;

LTIM=0, 为边沿触发方式;

$D_2$ : ADI 位, 在 8086/8088 系统中不用, 可随意设置;

$D_1$ : SNGL 位, 若 8259A 单片工作, SNGL=1, 否则 SNGL=0.

$D_0$ : IC<sub>4</sub> 位, IC<sub>4</sub>=1, 表示对相应 8259A 芯片初始化时, 须设置 ICW<sub>4</sub>; 若 ICW<sub>4</sub> 的各位都为 0, 则不需设置 ICW<sub>4</sub>.

#### (2). ICW<sub>2</sub> 写入 8259A 奇地址端口

ICW<sub>2</sub> 用以设置相应 8259A 芯片所管理 8 级中断源的中断类型码, 其中低 3 位为 8 级中断源的编码, 高 5 位由用户自由设置。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
					×	×	×

(3). ICW<sub>3</sub> 写入 8259A 奇地址端口

ICW<sub>3</sub> 用于 8259A 的级联方式

对主片来讲, 如果 IR<sub>i</sub> 接有从片, 则其 ICW<sub>3</sub> 中相应的位置 1; 否则, 其 ICW<sub>3</sub> 中相应的位置 0.

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
IR <sub>7</sub>	IR <sub>6</sub>	IR <sub>5</sub>	IR <sub>4</sub>	IR <sub>3</sub>	IR <sub>2</sub>	IR <sub>1</sub>	IR <sub>0</sub>

对从片来讲, D<sub>7</sub>-D<sub>3</sub> 不用, 可以随意设置, D<sub>2</sub>-D<sub>0</sub> 为该从片中断请求输出信号所接主 8259A 芯片中断输入引脚 IR<sub>i</sub> 中, i 的编码。

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
×	×	×	×	×	ID <sub>2</sub>	ID <sub>1</sub>	ID <sub>0</sub>

(4). ICW<sub>4</sub> 写入 8259A 奇地址端口

ICW<sub>4</sub> 的格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	SFNM	BUF	M/S	AEOI	μ PM

D<sub>7</sub>-D<sub>5</sub>: 恒定为 000, 是 ICW<sub>4</sub> 的特征位;

D<sub>4</sub>: SFNM 位, SFNM=1, 中断优先级设置为特殊的全嵌套模式; SFNM=0, 中断优先级设置为普通的全嵌套模式;

D<sub>3</sub>: BUF 位, 若 8259A 通过外部总线缓冲器与系统数据总线相连, 则置 BUF=1; 若 8259A 与系统数据总线直接相连, 则置 BUF=0;

D<sub>2</sub>: M/S 位: 在缓冲方式下, 用来表明相应 8259A 是否主片, 若为主片, 置 M/S=1; 否则置 M/S=0; 在非缓冲方式下; 该位没有实际意义, 可以随意设置。

D<sub>1</sub>: AEOI 位: AEOI=1, 置自动中断结束方式; AEOI=0, 中断结束需用中断结束命令。

D<sub>0</sub>: μ PM 位: 若系统中微处理器选用 8086/8088, 则设置 μ PM=1; 若系统中微处理器选用 8080/8085, 则设置 μ PM=0;

(5). OCW<sub>1</sub> 写入 8259A 奇地址端口

若使 8259A 的 IR<sub>i</sub> 中断请求呈屏蔽状态: 则置 OCW<sub>1</sub> 中的第 i 位=1, 否则, 置 OCW<sub>1</sub> 中的第 i 位=0,

OCW<sub>1</sub> 的格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
M <sub>7</sub>	M <sub>6</sub>	M <sub>5</sub>	M <sub>4</sub>	M <sub>3</sub>	M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>

(6). OCW<sub>2</sub> 写入 8259A 偶地址端口

OCW<sub>2</sub> 中各位的不同组合, 可以形成不同的操作控制命令, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
R	SL	EOI	0	0	L <sub>2</sub>	L <sub>1</sub>	L <sub>0</sub>

D<sub>7</sub>: R 位, R=1, 中断优先级采用自动循环方式; R=0, 中断优先级不采用自动循环方式;

D<sub>6</sub>: SL 位: SL=1, 表明相应控制命令是对特定中断源进行的, 需用到 L<sub>2</sub>、L<sub>1</sub>、L<sub>0</sub> 位的编码;

D<sub>5</sub>: EOI 位, EOI=1, 表明相应操作命令是中断结束命令;

D<sub>4</sub>-D<sub>3</sub>: 恒定设置为 00, 是 OCW<sub>2</sub> 的特征位;

D<sub>2</sub>-D<sub>0</sub>: L2、L1、L0 位, 表明所对应的中断源。

(7).OCW<sub>3</sub> 写入 8259A 偶地址端口

OCW<sub>3</sub> 中各位的不同组合, 可以形成不同的操作控制命令, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
×	ESMM	SMM	0	1	P	RR	RIS

D<sub>7</sub>: 未用, 可以随意设置;

D<sub>6</sub>: ESMM 位, ESMM=1, 允许设置或清除对中断请求的特殊屏蔽方式;

D<sub>5</sub>: SMM=1, 设置对中断请求的特殊屏蔽方式; SMM=0, 取消对中断请求的特殊屏蔽方式;

D<sub>4</sub>-D<sub>3</sub>: 恒定设置为 01, 是 OCW<sub>3</sub> 的特征位;

D<sub>2</sub>: P 位, P=1, 表示相应的操作字是查询中断源命令;

D<sub>1</sub>: RR 位, RR=1, 表明随后可从偶地址端口, 读入 8259A 寄存器的内容;

D<sub>0</sub>: RIS, RIS=1, 表明要读取 ISR 寄存器的内容; RIS=0, 表明要读取 8259A 中 IRR 寄存器的内容。

## 2. Intel 8253

8253 的方式控制字写入 8253 的控制字寄存器, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
SC <sub>1</sub>	SC <sub>0</sub>	RW <sub>1</sub>	RW <sub>2</sub>	M <sub>2</sub>	M <sub>1</sub>	M <sub>0</sub>	BCD

SC<sub>1</sub>-SC<sub>0</sub>: 通道选择位, 00: 选择通道 0; 01: 选择通道 1; 10: 选择通道 2; 11: 非法;

RW<sub>1</sub>-RW<sub>0</sub>: 读/写方式选择位, 00: 发锁存控制命令; 01: 只读/写低位字节;

10: 只读/写高位字节; 11: 依次读/写低位、高位字节;

M<sub>2</sub>-M<sub>0</sub>: 工作方式选择位, 000: 方式 0; 001: 方式 1; ×10: 方式 2; ×11: 方式 3;

100: 方式 4; 101: 方式 5;

BCD: 计数制选择位, BCD=1, 按十进制 (BCD 码) 计数; 否则, 按二进制计数。

## 3. Intel 8255A

(1).8255A 的命令控制字写入 8255 的控制字寄存器

8255 命令控制字的格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	A 组工作方式	A 口 I/O	PC <sub>7</sub> -PC <sub>4</sub> I/O	B 组工作方式	B 口 I/O	PC <sub>3</sub> -PC <sub>0</sub> I/O	

D<sub>7</sub>: 恒为 1, 8255A 命令控制字的特征位

D<sub>6</sub>-D<sub>5</sub>: A 组工作方式选择位, 00: 方式 0; 01: 方式 1; 1×: 方式 2;

D<sub>4</sub>: A 口 I/O 选择位, 0: 输出; 1: 输入;

D<sub>3</sub>: PC<sub>7</sub>-PC<sub>4</sub>I/O 选择位, 0: 输出; 1: 输入;

D<sub>2</sub>: B 组工作方式选择位, 0: 方式 0; 1: 方式 1;

D<sub>1</sub>: B 口 I/O 选择位, 0: 输出; 1: 输入;

D<sub>0</sub>: PC<sub>3</sub>-PC<sub>0</sub>I/O 选择位, 0: 输出; 1: 输入;

(2). 8255A 的端口 C 置位/复位命令控制字写入 8255 的控制字寄存器

8255 的端口 C 置位/复位命令控制字的格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	×	×	×	C 口相应位的编码			置位/复位选择

D<sub>7</sub>: 恒为 0, 8255A 的端口 C 置位/复位命令控制字的特征位;

D<sub>6</sub>~D<sub>4</sub>: 未用, 可以随意设置;

D<sub>3</sub>~D<sub>1</sub>: C 端口中需要置位/复位的位编码;

D<sub>0</sub>: 置位/复位选择位, D<sub>0</sub>=1: 置位; D<sub>0</sub>=0: 复位。

#### 4. Intel 8251

(1). 方式控制字, 写入 8251 的奇地址端口, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
S <sub>2</sub>	S <sub>1</sub>	EP	PEN	L <sub>2</sub>	L <sub>1</sub>	B <sub>2</sub>	B <sub>1</sub>

D<sub>7</sub>~D<sub>6</sub>: 异步通信方式下, 用来设置停止位的个数, 00: 无效; 01: 1 位; 10: 1.5 位; 11: 2 位;

同步通信方式下, D<sub>6</sub> 用来设置内、外同步方式, D<sub>6</sub>=0 设置内同步, D<sub>6</sub>=1 设置外同步; D<sub>7</sub> 位用来确定同步字符的个数, D<sub>7</sub>=1 设置单同步字符; D<sub>7</sub>=0 设置双同步字符;

D<sub>5</sub>: 奇/偶校验选择位, D<sub>5</sub>=1, 选择偶校验; D<sub>5</sub>=0, 选择奇校验;

D<sub>4</sub>: 奇/偶校验允许位, D<sub>4</sub>=1, 允许设置奇/偶校验位; D<sub>4</sub>=0, 不允许设置奇/偶校验位;

D<sub>3</sub>~D<sub>2</sub>: 用以确定所传送数据字符的位数, 00: 5 位; 01: 6 位; 10: 7 位; 11: 8 位

D<sub>1</sub>~D<sub>0</sub>: 用以确定发送与接收数据的速率

00: 用于同步传送;

01: 用于异步传送, 波特率系数为 1;

10: 用于异步传送, 波特率系数为 16;

11: 用于异步传送, 波特率系数为 64。

(2). 控制命令字, 写入 8251 的奇地址端口, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
EH	IR	RTS	ER	SBRK	RxE	DTR	TxEN

D<sub>7</sub>: EH 位, EH=1 用以启动搜索同步字符;

D<sub>6</sub>: IR 位, IR=1 迫使 8251 内部复位;

D<sub>5</sub>: RTS 位, RTS=1 使 8251 从相应引脚输出有效信号;

D<sub>4</sub>: ER 位, ER=1 使所有错误标志复位;

D<sub>3</sub>: SBRK 位, SBRK=1 迫使 8251 发中止符;

D<sub>2</sub>: RxE 位, RxE=1 允许接收;

D<sub>1</sub>: DTR 位, DTR=1 数据终端准备好;

D<sub>0</sub>: TxEN 位, 允许发送。

(3). 工作状态字, 从 8251 的奇地址端口读入, 格式如下:

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DSR	SYNDET	FE	OE	PE	TxE	RxRDY	TxRDY

D<sub>7</sub>: DSR 位, 若 8251 的  $\overline{DSR}$  引脚输入有效信号, 则该位被置 1;

D<sub>6</sub>: SYNDET 位, 若 8251 的 SYNDET 引脚为高电平, 则该位被置 1;

D<sub>5</sub>: FE 位, 若在数据接收过程中, 出现了帧错误, 则该位被置 1;

D<sub>4</sub>: OE 位, 若在数据接收过程中, 出现了溢出错误, 则该位被置 1;

D<sub>3</sub>: PE 位, 若在数据接收过程中, 出现了奇偶校验错误, 则该位被置 1;

D<sub>2</sub>: TxE 位, 若 8251 的 TxE 引脚为高电平, 则该位被置 1;

D<sub>1</sub>: RxRDY, 若 8251 的 RxRDY 引脚为高电平, 则该位置 1;

D<sub>0</sub>: TxRDY, 若 8251 的数据发送缓冲器空, 则该位被置 1;