

2011 年硕士研究生入学考试初试试题 (A 卷)

科目代码: 871 科目名称: 数字电路 满分: 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本试题纸或草稿纸上均无效; ③本试题纸须随答题纸一起装入试题袋中交回!

一、(15 分) 已知逻辑函数表达式为

$$Y = \overline{A}BD + \overline{A}\overline{B}\overline{C}D + \overline{B}CD + (\overline{A}\overline{B} + C)(B + D)$$

要求: 1、用布尔代数简化该逻辑表达式;

2、用卡诺图化简该逻辑表达式;

3、仅用与非门画出简化逻辑表达式的逻辑图。

二、(20 分) 已知 8 选 1 数据选择器的功能表如附表 1 所示, 用它接成一个多功能组合逻辑电路如图 1。

M_2M_1 为功能选择信号, a 、 b 为输入逻辑变量, F 为电路的输出。试写出输出变量 F 的逻辑表达式, 并分析该电路在不同功能选择信号时, 可获得哪几种逻辑功能, 写出相应逻辑功能的函数表达式。

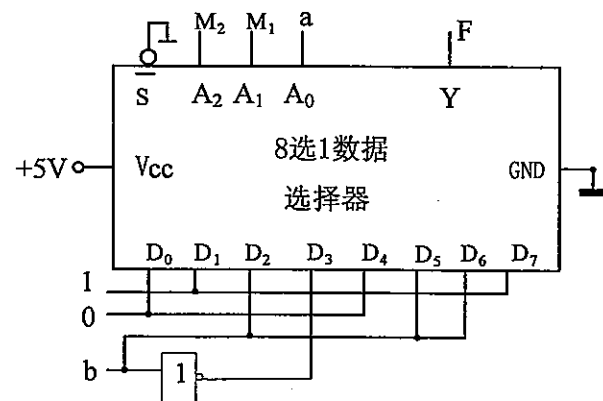


图 1

三、(25 分) 设计一个三人表决电路, 在表决一般问题时, 以多数同意为通过。在表决重要问题时, 必须一致同意才通过。要求列出真值表, 写出化简的逻辑表达式, 画出用与非门电路构成的电路图。若用 3 线-8 线译码器 74HC138 实现该电路, 应如何设计? 画出其逻辑电路图。3 线-8 线译码器 74HC138 的逻辑符号如图 2 所示, 功能表见附表 2。

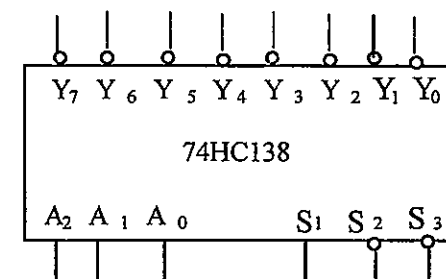


图 2

四、(20 分) 74LS90 为二—五—十进制异步计数器, 其逻辑图如图 3 (a) 所示。试回答:

1、根据图 3 (a) 所示电路, 分析该电路如何实现二进制计数、五进制计数及十进制计数。

2、分析图 3 (b) 所示计数器电路, 画出该电路的状态转换图, 说明这是几进制计数器。

3、在图 3 (b) 所示电路中, 门 G_2 、 G_3 构成什么电路? 其作用是什么? 门 G_1 的作用是什么?

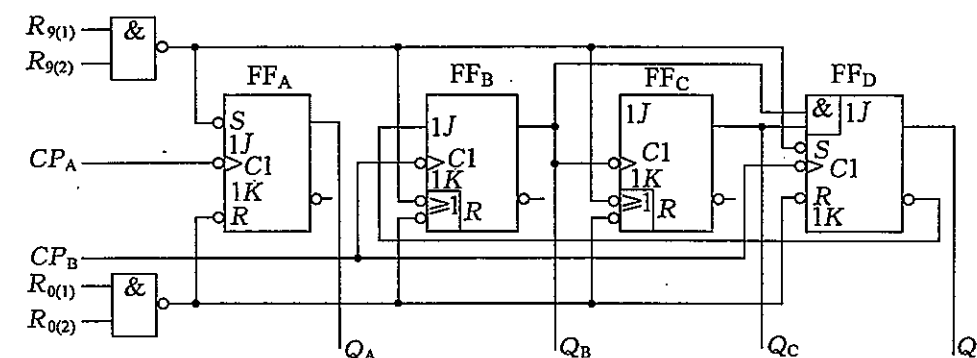


图 3 (a)

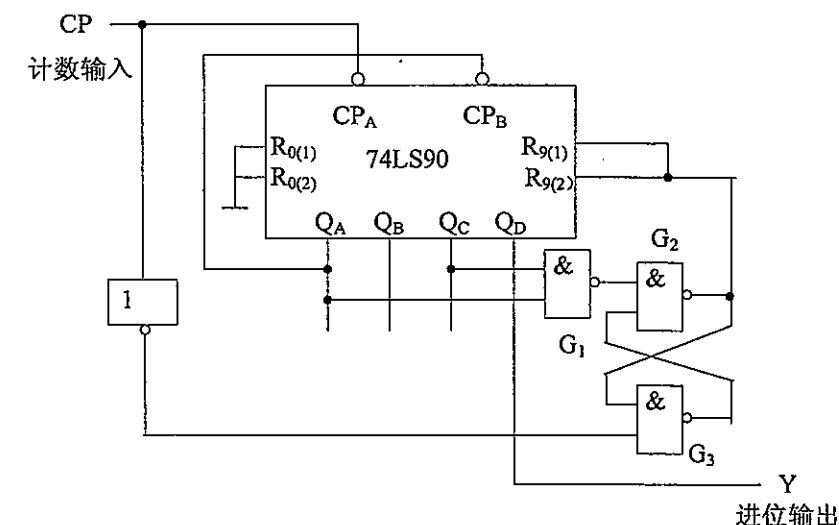


图 3 (b)

五、(25 分) 用最少的 JK 触发器和与非门电路, 设计一个如图 4 (a) 所示的由同步计数器及译码器组成的数字系统。输入时钟脉冲信号 CP 与输出信号 \overline{Y}_1 、 \overline{Y}_2 、 \overline{Y}_3 、 \overline{Y}_4 之间的关系如图 4 (b) 所示。

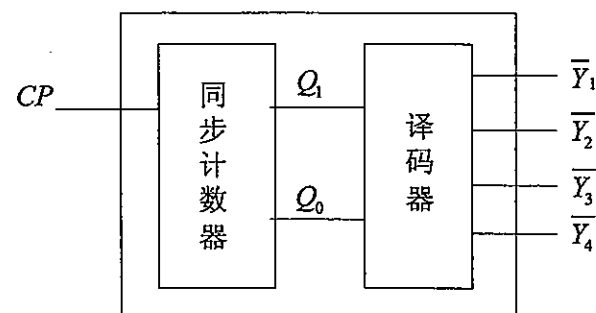


图 4 (a)

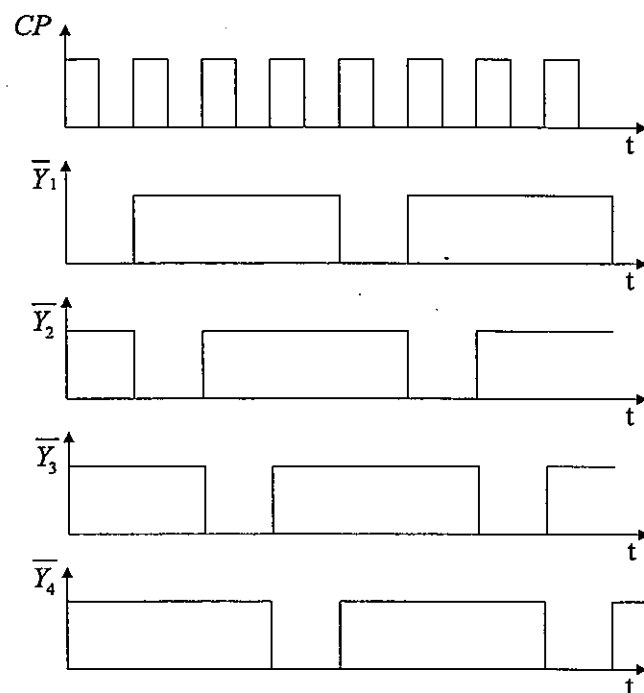


图 4 (b)

六、(25 分) 555 定时器电路结构如附图 1 所示。根据 555 定时器功能, 对图 5 (a)、(b) 分别回答下列问题:

- 1、电路名称是什么?
- 2、当 S 断开时, 定性分析两个电路的工作原理。
- 3、当开关 S 断开和闭合时, 分别写出输出脉冲时间参数(周期或脉宽)的近似公式。

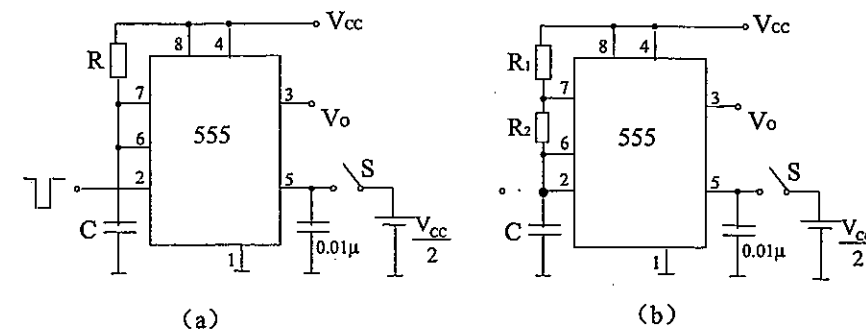


图 5

七、(20 分) 用一个运算放大器、一个 10V 的参考电压源、若干开关和电阻, 设计一个 4 位倒 T 形电阻网络 D/A 转换器。设定参考电流 $I_R = 2\text{mA}$, 最小输出电压 $V_{O\min} = 0.5\text{V}$, 计算各有关电阻的值并画出电路图。

附录:

表 1 8 选 1 数据选择器功能表

\overline{S}	A ₂	A ₁	A ₀	Y
1	x	x	x	0
0	0	0	0	D ₀
0	0	0	1	D ₁
0	0	1	0	D ₂
0	0	1	1	D ₃
0	1	0	0	D ₄
0	1	0	1	D ₅
0	1	1	0	D ₆
0	1	1	1	D ₇

表 2 3 线—8 线译码器 74HC138 功能表

输 入					输 出							
S_1	$\overline{S_2} + \overline{S_3}$	A ₂	A ₁	A ₀	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

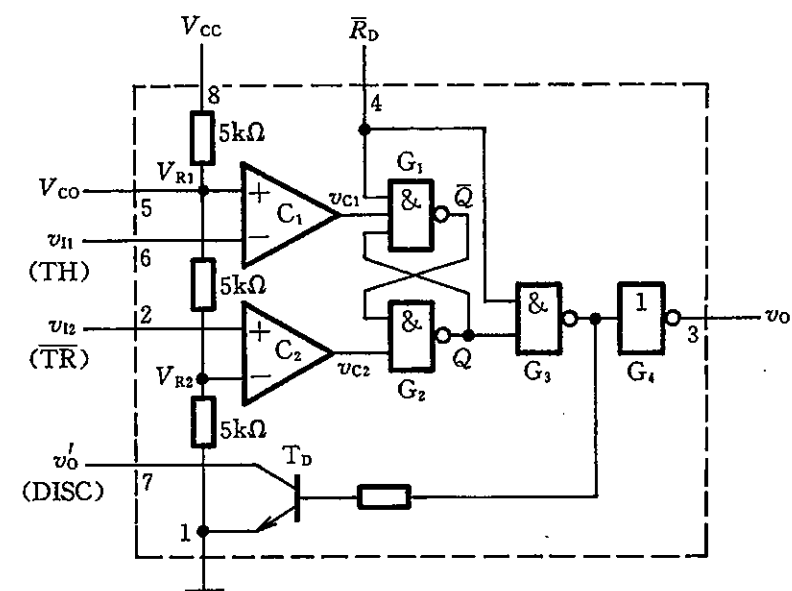


图 1 555 定时器电路结构图