

同济大学 2000 年 硕士生入学考试试题

考试科目: 数字电路

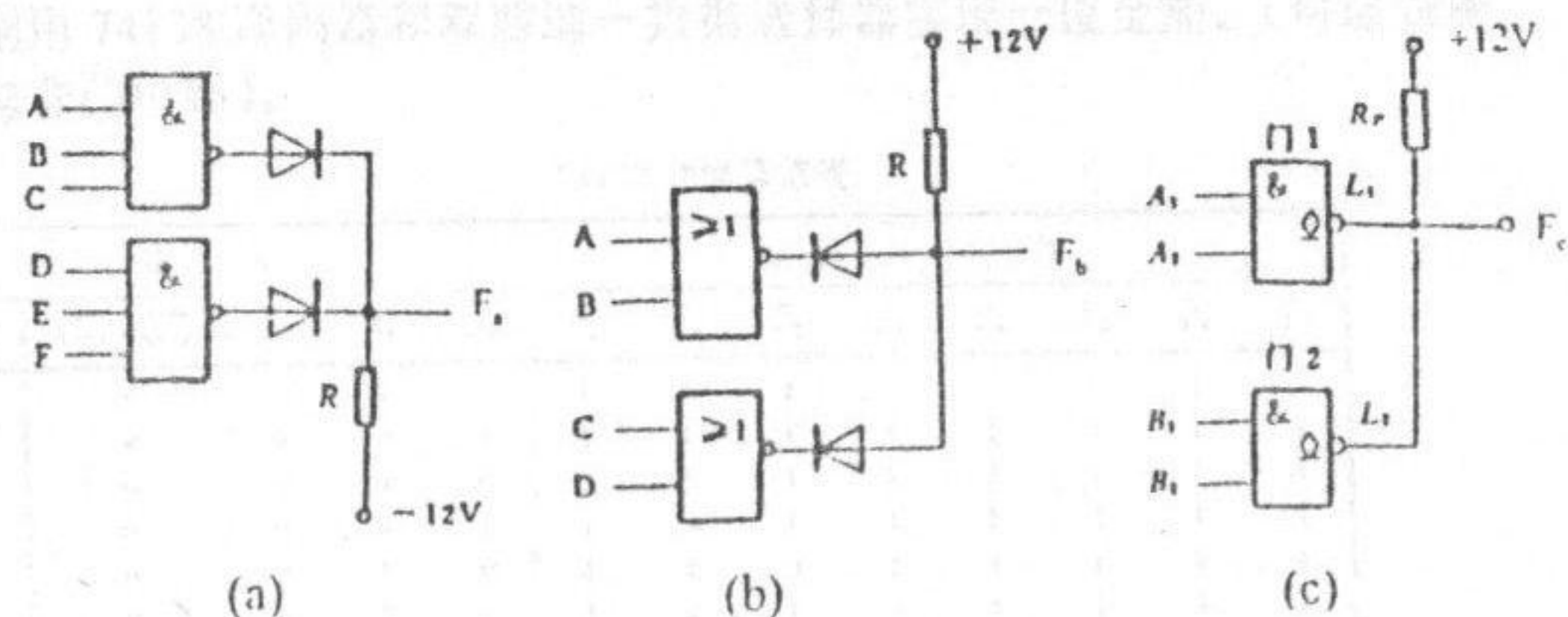
编号: 76-1
2

答题要求:

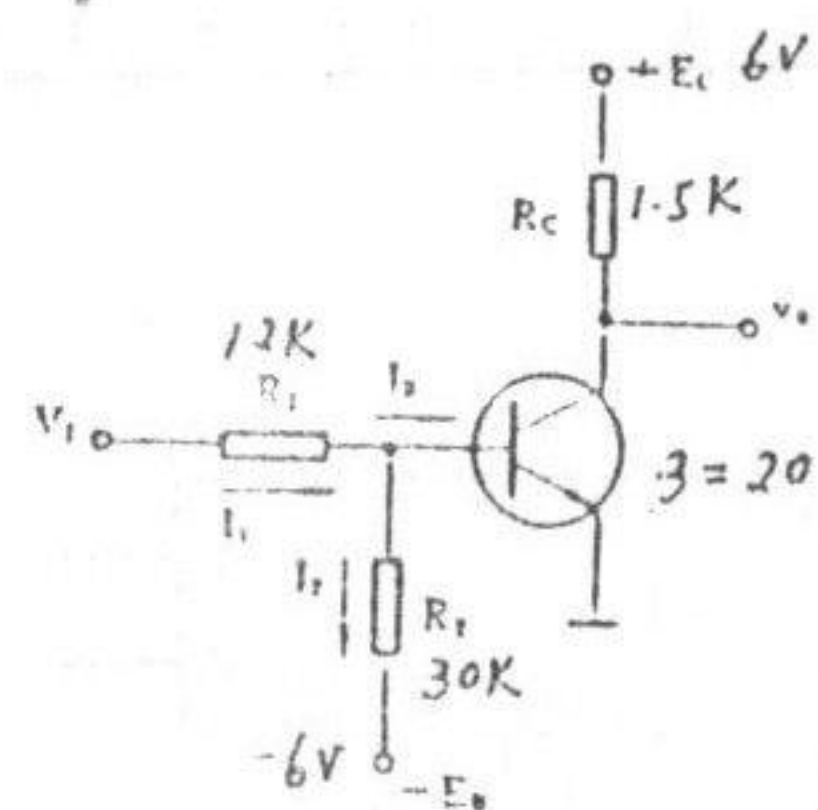
评分标准:

题号	1	2	3	4	5	6	7	8	9	10
分数	9	10	6	4	12	12	12	12	11	12

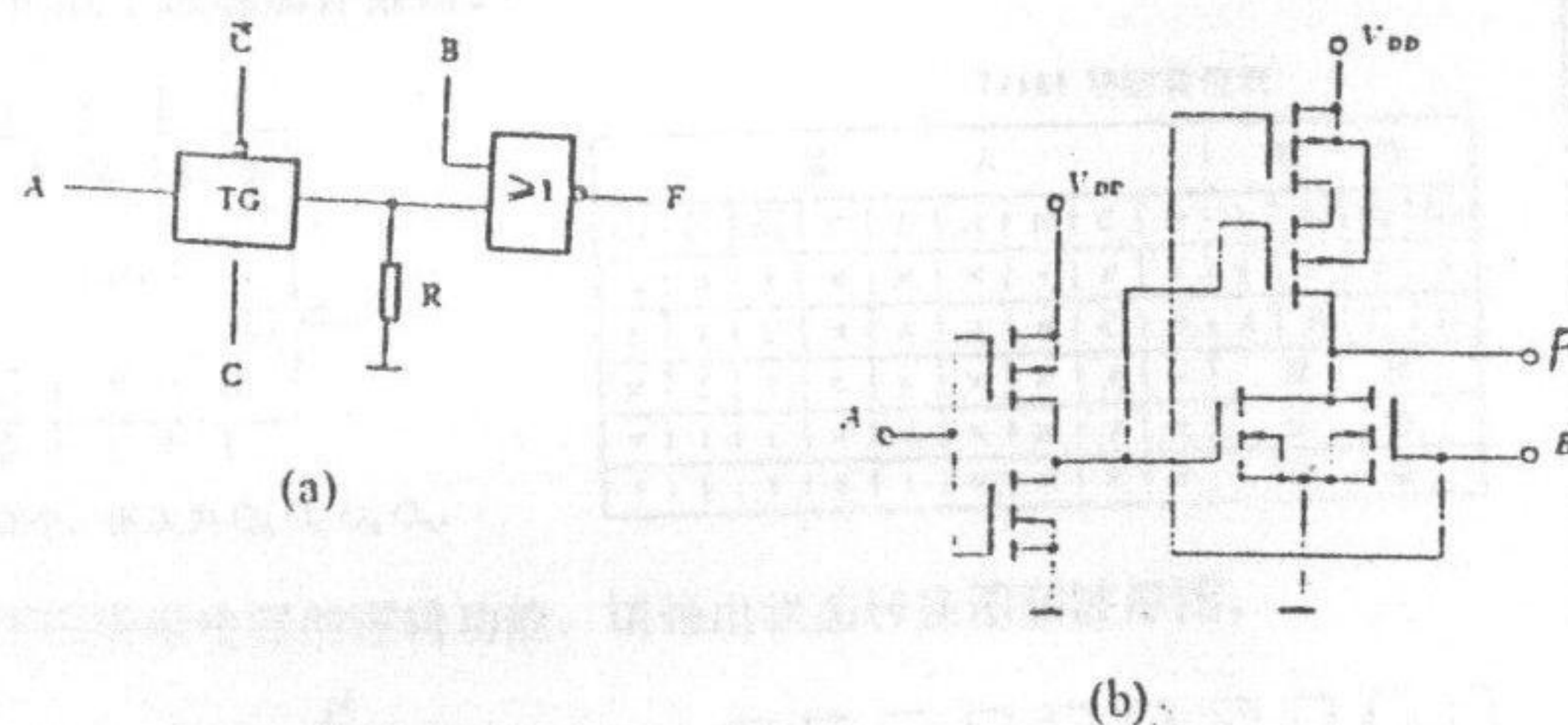
一、分析下列电路的逻辑关系, 写出相应的逻辑表达式 (均采用正逻辑)。



二、试计算下图所示电路中三极管开始导通和开始饱和的 V_i 值。

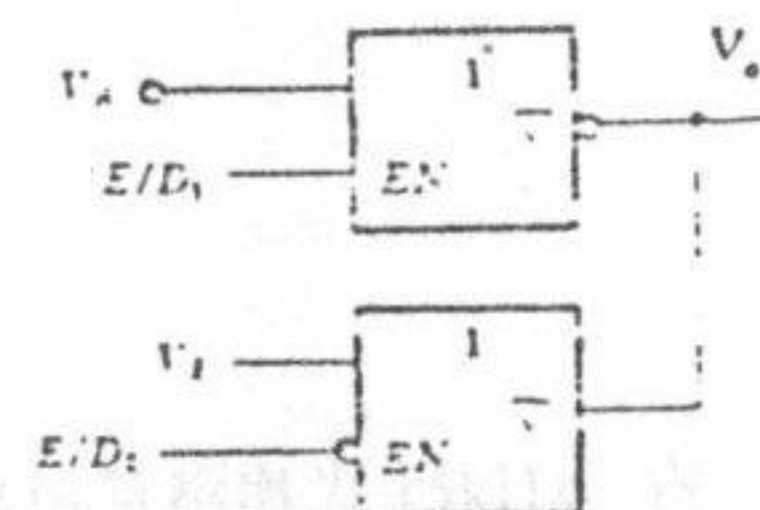


三、下图所示 CMOS 电路中, TG 为 CMOS 传输门, (a) 试分别写出 $C=0$ 和 $C=1$ 时 F 的表达式; (b) 写出 F 的表达式。



四、下图所示电路中, E/D_1 , E/D_2 , V_A , V_B 的逻辑值如表所示时, 对应的 V_O 应为何值? 请填表 (门电路为 TTL 型)。

E/D_1	V_A	E/D_2	V_B	V_O
1	1	0	1	
1	0	1	0	
1	0	1	0	
1	1	1	0	



五、化简下列逻辑函数:

(1) $F = \overline{A}\overline{B}\overline{C} + A + B + C$

(2) $F = AC + \overline{A}BC + \overline{B}C + A\overline{B}C$

(3) $F(A, B, C, D) = \sum(0, 1, 2, 6, 8, 10, 11, 12)$

(4) $F(A, B, C, D) = \sum(0, 2, 3, 5, 6, 7, 8, 9)$, 给定约束条件为 $m_{10} + m_{11} + m_{12} = 0$

同济大学 2000 年 硕士生入学考试试题

考试科目: 数字电路

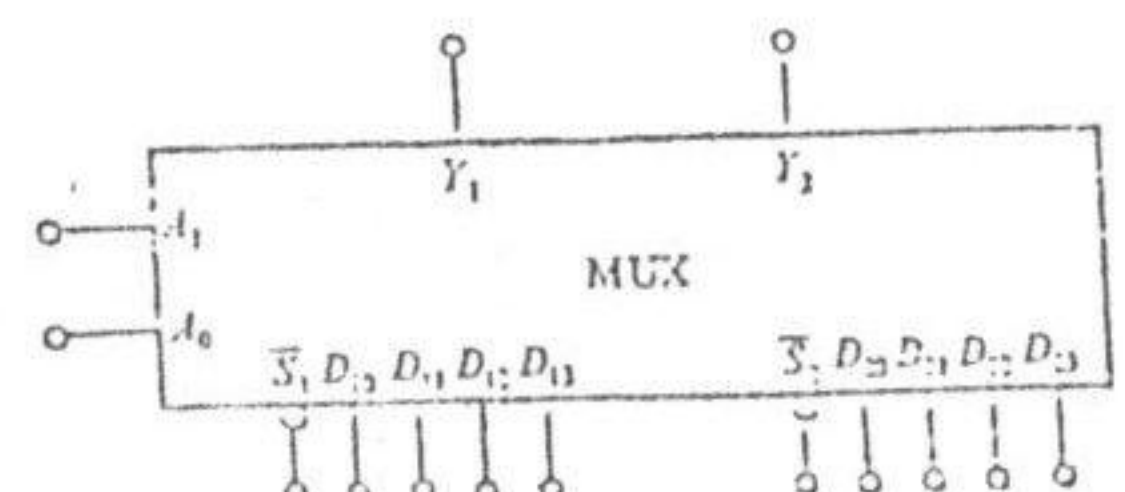
编号: 76-2

题要求:

六、试分别用 74138 译码器和双四选一数据选择器实现一位全加。(可适当加一些与非门电路)。

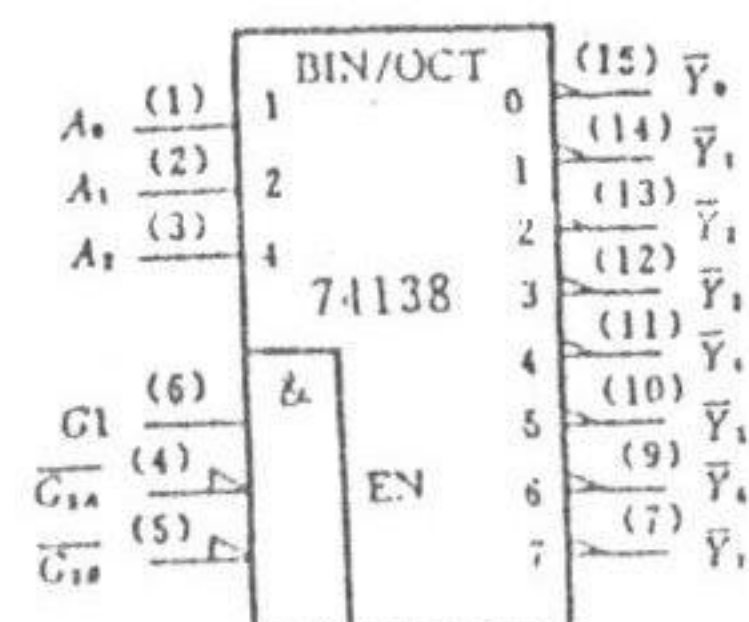
74138 功能真值表

输入			输出							
C_i	$\overline{C_{i+1}} - \overline{C_i}$	A_i	A_{i+1}	A_{i+2}	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$
0	1	0	0	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	1	1	1
0	1	0	1	0	1	1	1	1	1	1
0	1	0	1	1	1	1	1	1	1	1
0	1	1	0	0	1	1	1	1	1	1
0	1	1	0	1	1	1	1	1	1	1
0	1	1	1	0	1	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1
1	0	1	0	0	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1

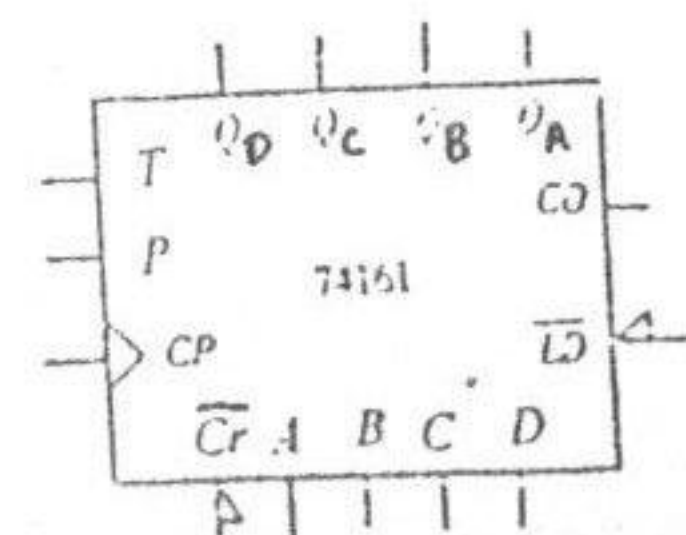


双四选一数据选择器功能表

使能端	数据输入	输出
\overline{S}	A_1 A_0	Y
1	0 0	0
0	0 0	D_0
0	0 1	D_1
0	1 0	D_2
0	1 1	D_3



七、集成芯片 74161 是同步可预置四位二进制计数器, 请借助同步置数功能用 74161 构成十进制加计数器。

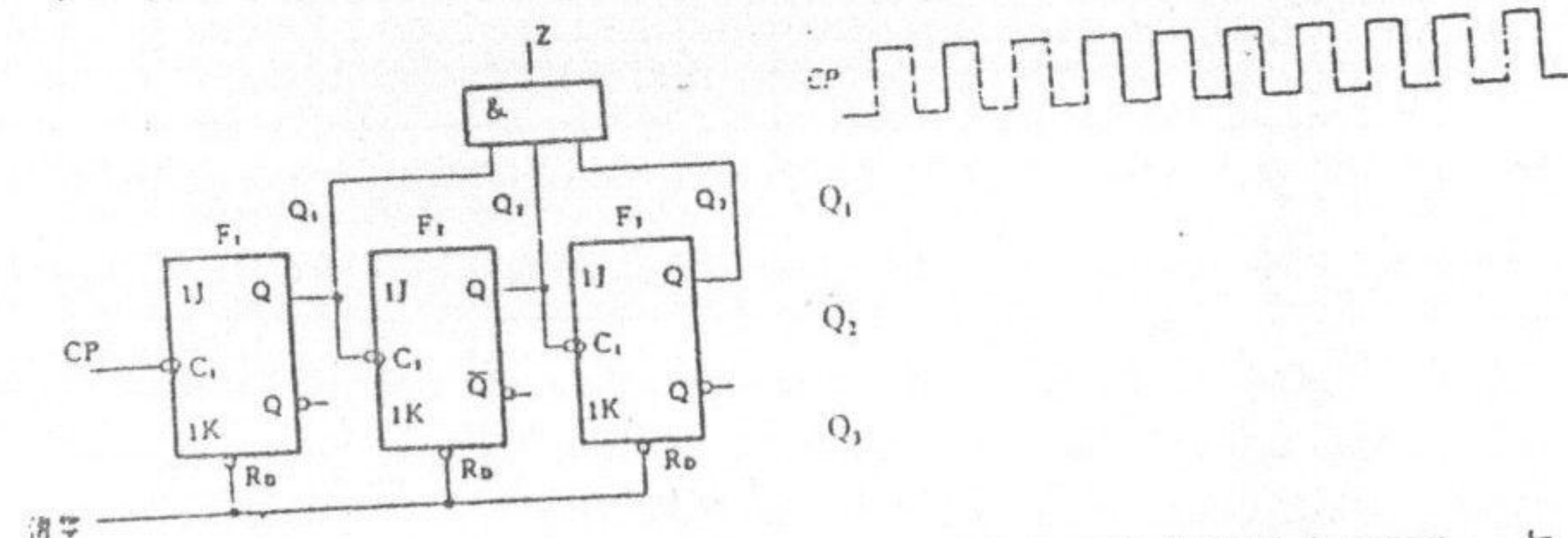


74161 功能真值表

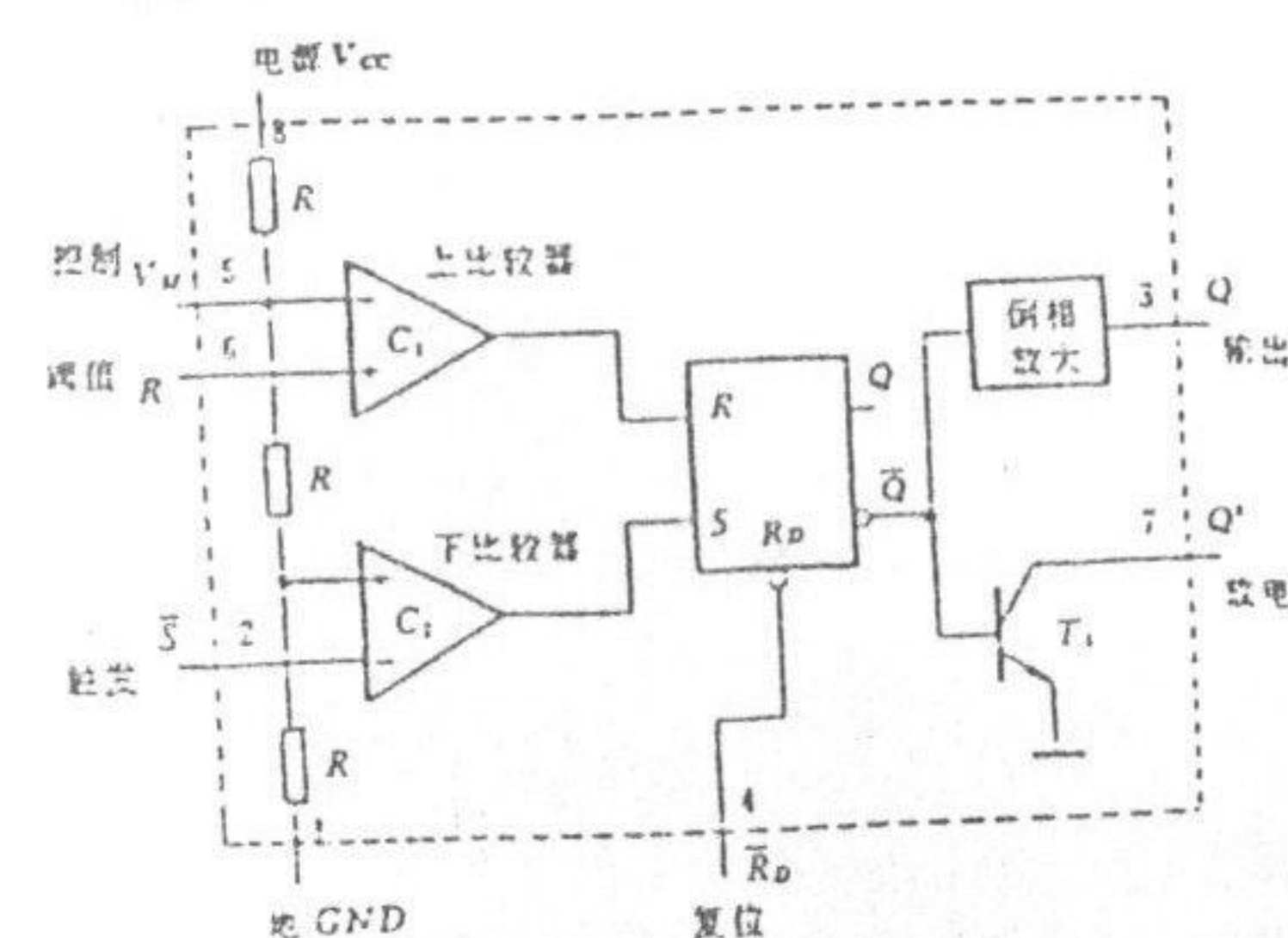
输 入								输 出				
C_r	$\overline{C_i}$	$\overline{L_0}$	P	T	A	B	C	D	Q_A	Q_B	Q_C	Q_D
x	0	x	x	x	x	x	x	x	0	0	0	0
1	1	0	x	x	A	B	C	D	A	B	C	D
x	1	1	0	x	x	x	x	x	保 持			
x	1	1	1	0	x	x	x	x	保 持			
1	1	1	1	1	x	x	x	x	计 数			

注: Q_D 是高位, 依次为 $Q_D Q_C Q_B Q_A$ 。

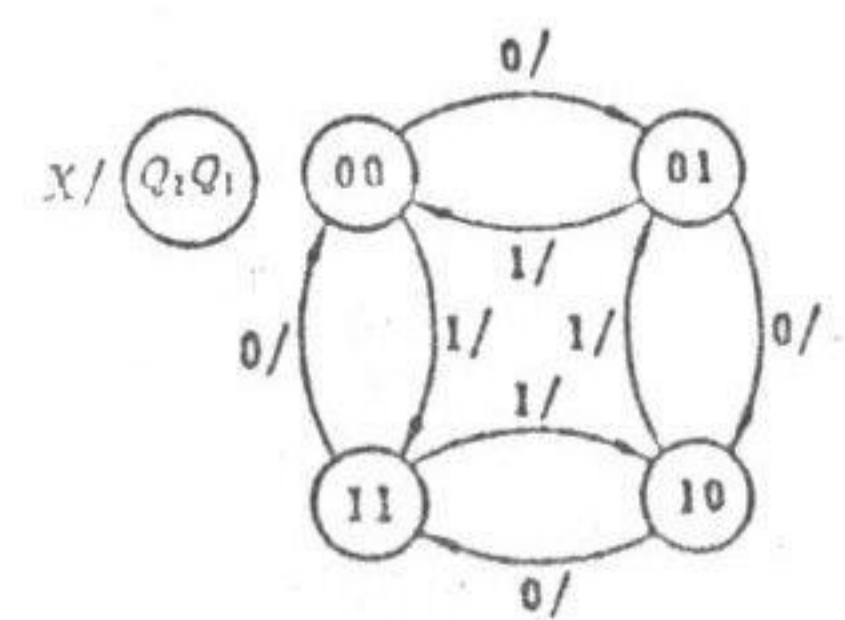
八、分析下图所示电路的逻辑功能, 请画出状态转换图和波形图。



九、试用 555 定时器件设计一个多谐振荡器, 要求输出信号频率为 15kHz, 占空比为 60%, 设电源电压 $V_{cc} = 12V$ 。



555 定时器结构框图



图题 10

十、试用 JK 触发器和门电路设计一个满足图题 10 所示状态图要求的时序逻辑电路。