

中国传媒大学

2006 年攻读硕士学位研究生入学考试

数字电路 试题

答题说明：答案一律写在答题纸上，不需抄题，标明题号即可，答在试题上无效。

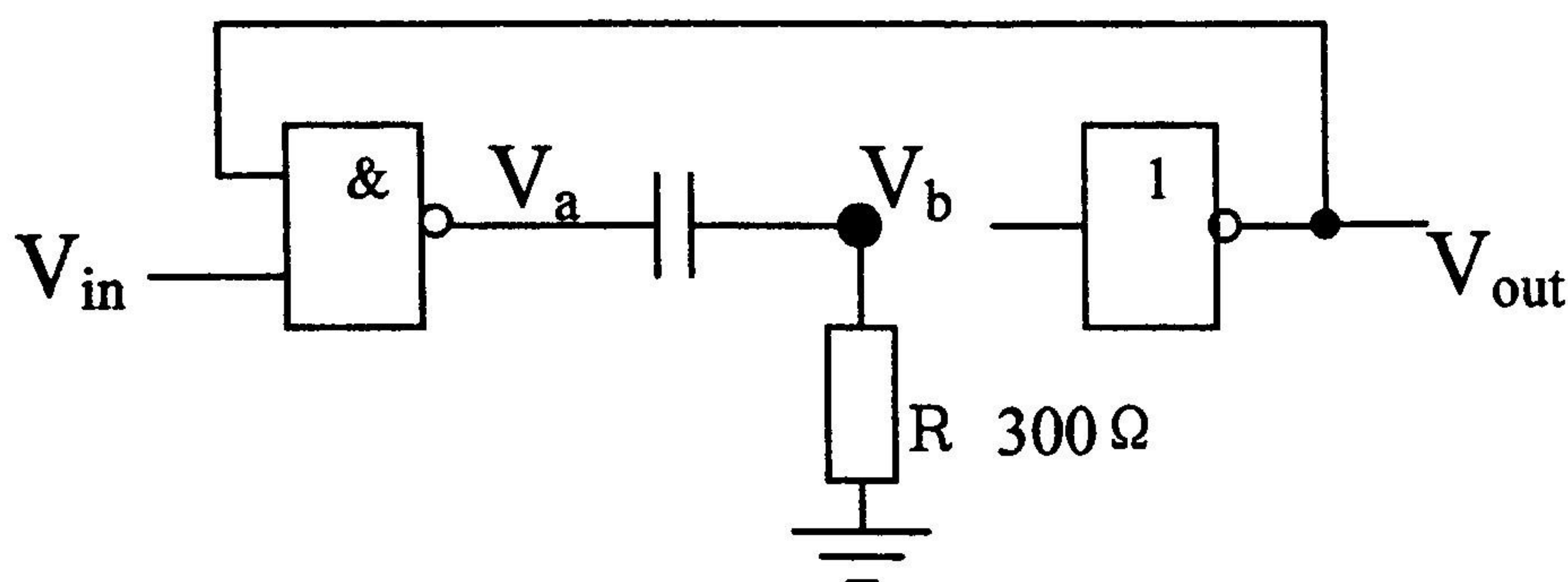
一、基本题 (10 小题, 共 30 分, 每小题 3 分)

1. 十六进制数 3D.BE 转换为二进制, 八进制, 十进制分别为多少?
2. 判断: $A \odot B \odot C = \overline{A \oplus B \oplus C}$ 成立否? 说明原因
3. 将逻辑函数 $Y = \overline{A}BCD + \overline{A}CD + AC$ 展开为最小项之和的形式。
4. 用卡诺图化简 $Y = \overline{A}BCD + \overline{A}CDE + \overline{B}DE + \overline{A}CDE$
5. 对于普通 TTL 逻辑门, 输入为高时, 所允许的实际电压范围是多少?
6. 与 TTL 逻辑门相比, CMOS 逻辑门在输入阻抗和功耗方面有何特点?
7. EPROM2716 有 8 根数据线, 计算该芯片地址线的数目。
8. 伪随机序列的主要特点有哪些?
9. 设计一个模 5 的扭环计数器, 需要几个触发器?
10. 计数器和分频器的关系如何, 分频器的特点是什么?

二、分析简答题 (5 小题 共 30 分, 每题 6 分)

1. 只使用与非门, 将一个 D 触发器转换为 JK 触发器。

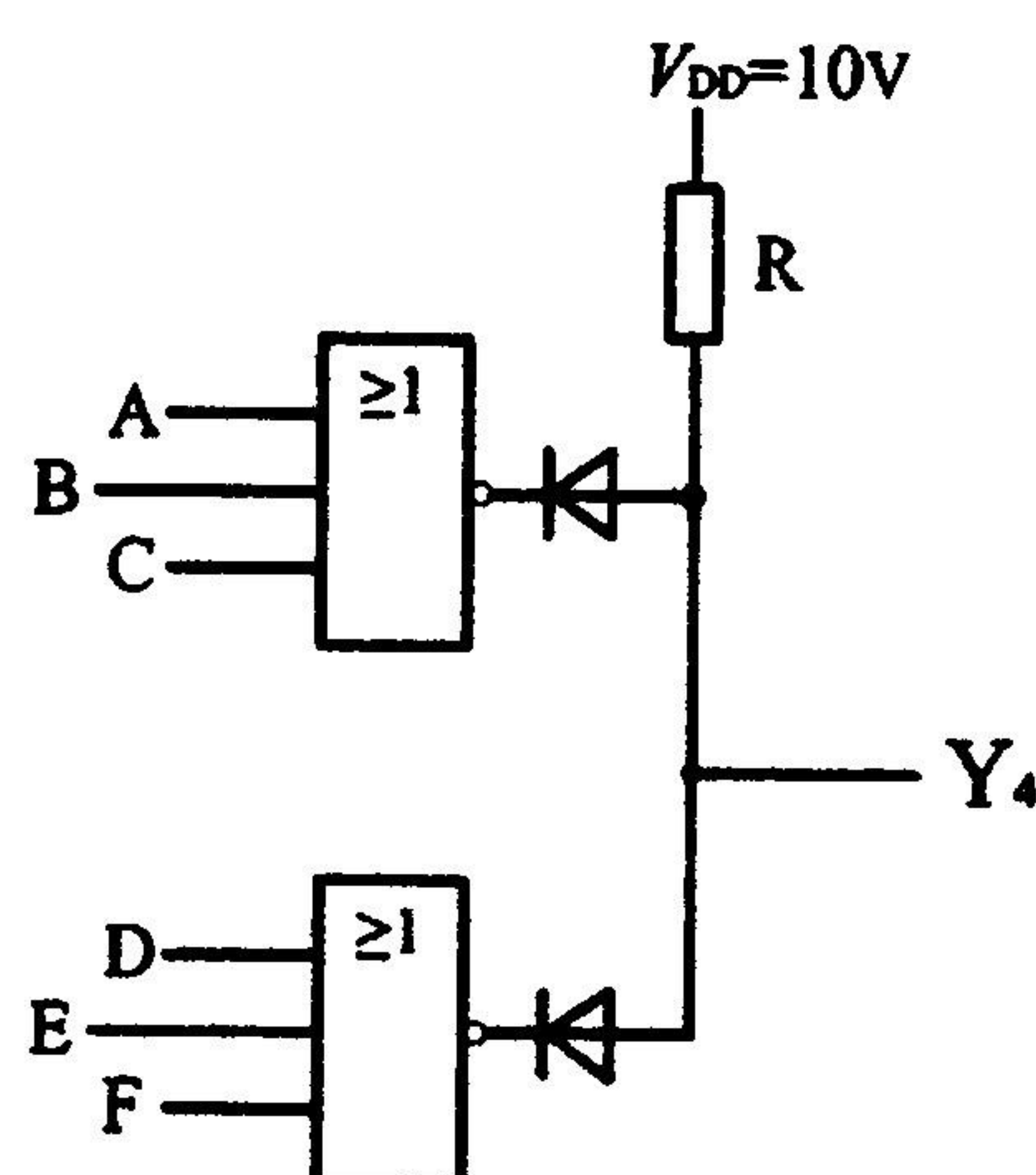
2. 下图所示为一个由普通 TTL 门构成的单稳态触发器, 画出该单稳态触发器对应的输入输出电压波形



V_{in}

V_{out}

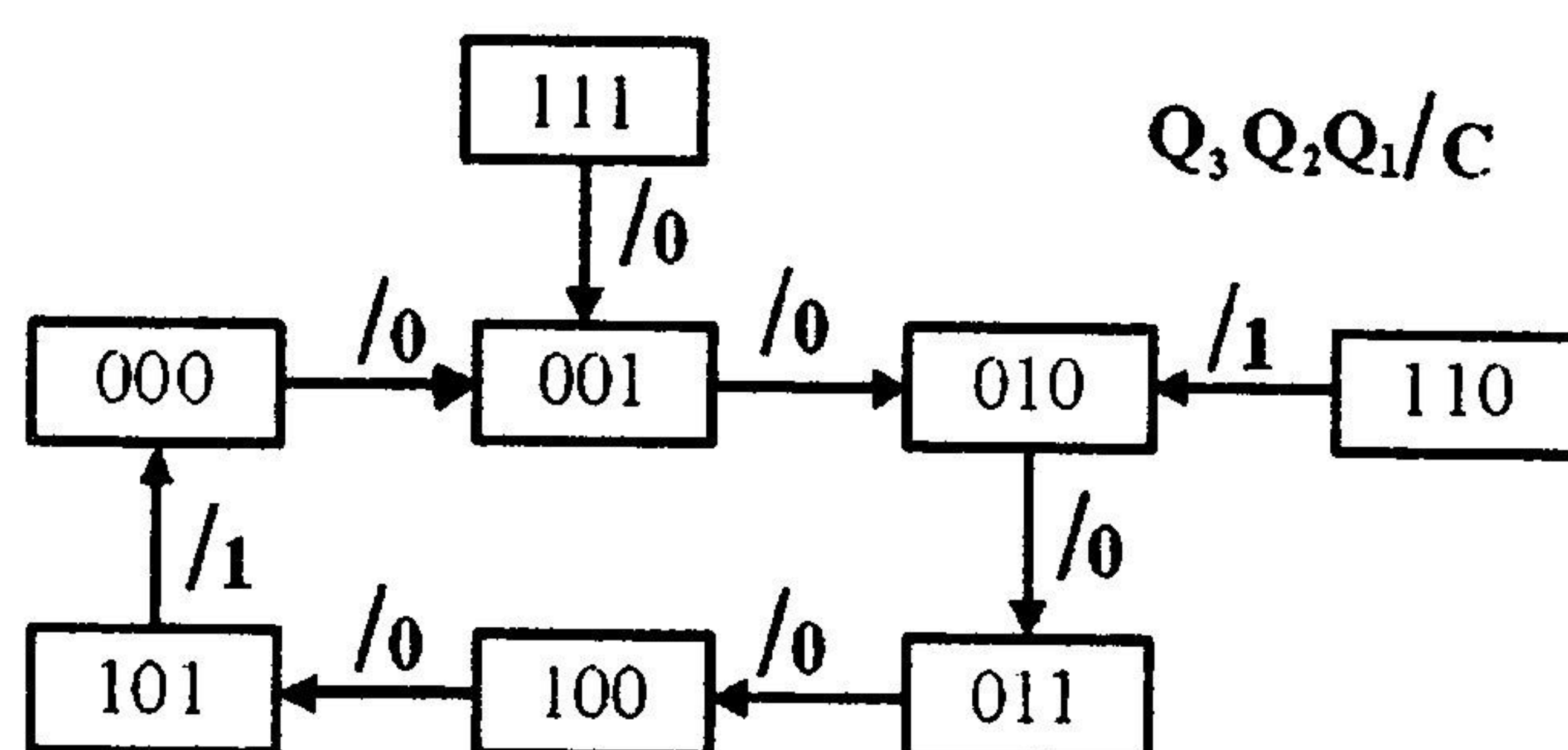
3. 在 CMOS 电路中, 采用图示的连接方式, 试分析其逻辑功能, 写出输出表达式。



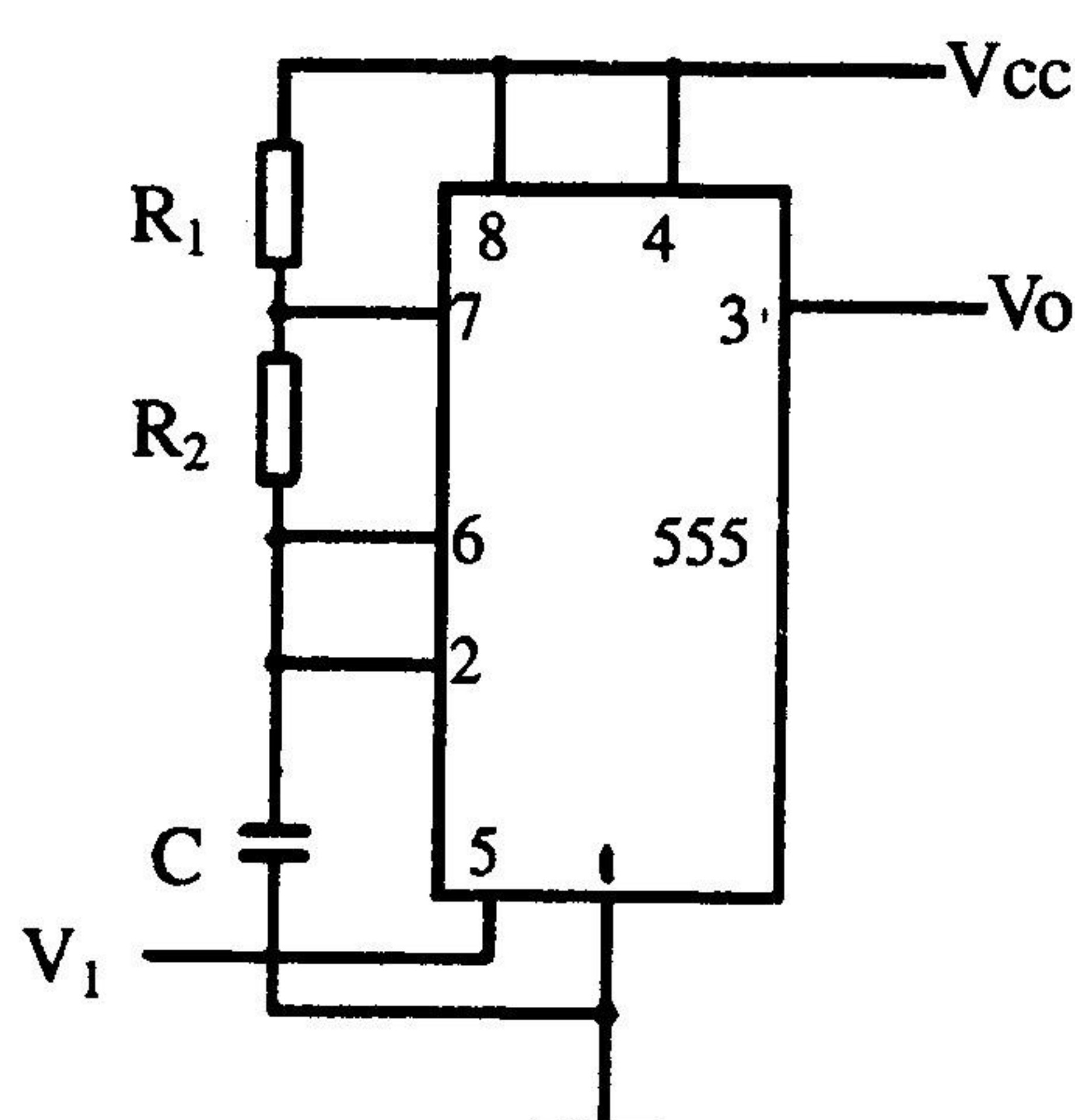
4. 若上题图中的逻辑门用 TTL 门取代, 还能实现原有功能吗? 试说明理由。
5. 用译码器和与非门实现一位全减器。

三、解答题 (共 40 分, 每题 10 分)

1. 设计一个模 6 同步计数器, 写出完整的设计过程, 采用下降沿触发的 JK 触发器进行设计, 状态图如图所示:



2. 分析图示电路的功能, 并说明输入信号 V_I 影响输出信号 V_O 的哪一项参数? 并用数学公式描述。



3. 用移存器设计一个序列发生器, 要求输出为 10100 序列。(采用 D 触发器)
4. 图示电路图, (1) 分析各电路的逻辑功能(2) 画出各电路 Q_1 、 Q_2 、 Q_3 与 CP 的同步波形。

