

一、填空（每空 1 分，共 20 分）

1、按照 Flynn 提法，常见的计算机系统结构有 单指令流单数据流方式 SISD、单指令流多数据流方式 SIMD 和 多指令流单数据流方式 MIMD 三类。

2、设待校验的数据为 $D_8 \sim D_{11} = 10101011$ ，若采用海明校验，其海明码为 0 1010 0 101 1 1 11（设海明码具有一位纠错能力， P_5 采用全校验）；若采用 CRC 校验，且生成多项式为 10011，则其 CRC 码为 10101011 1010；若采用偶校验，则校验码为 10101011 1。

3、多处理机的操作系统有 主从型、各自独立型 和 浮动型 三种类型。

4、开发计算机系统并行性的主要技术途径有 时间重叠、资源重复 和 资源共享 三种。

5、SRAM 靠 双稳态电路 存储信息。DRAM 靠 MOS 电容 存储信息。DRAM 存储器需要定时刷新，刷新方式有 集中式 和 分布式。

6、虚拟存储管理的基本方法有 段式管理、页式管理 和 段页式管理 三种。

二、选择题（每题 2 分，共 16 分）

1、以下四点中，B 是计算机系统结构设计时必须考虑的。

- (A) 通道采用独立型 (B) 指令类型选择
(C) 阵列运算部件 (D) Cache 存储器的硬件

2、在下列体系结构中，最适合多任务并行执行的体系结构是 D

- (A) 流水线向量机结构 (B) 堆栈处理机结构
(C) 共享存储多处理机结构 (D) 分布存储的多处理机结构

3、XY 为定点二进制数，其格式为 1 位符号位，n 位数值位。若采用 Booth 补码一位乘法实现乘法运算，则最多需要 C 次加法运算。

- (A) $n-1$ (B) n (C) $n+1$ (D) $n+2$

4、某一 SRAM 芯片，容量为 1024X8 位，除地和电源端外，该芯片最少引出线数为 C (10 根地址线，8 根数据线，2 根控制线 CS 和 $\overline{V/R}$)。

- (A) 16 (B) 17 (C) 20 (D) 21

5、在各种存储器替换算法中，对于“主-辅”层次的全相联映象，宜采用 D 替换算法的实现方法。

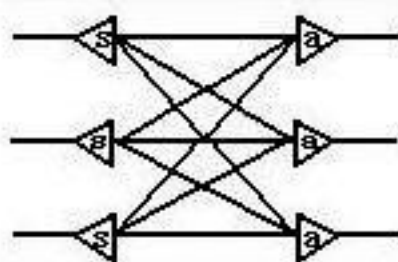
- (A) 堆栈法 (B) 位法 (C) 比较对法 (D) 以上三种都不对

6、以下 A 寻址方式用来支持浮动程序设计

- (A) 相对寻址 (B) 变址寻址 (C) 寄存器间接寻址 (D) 基址寻址

7、右图所示的多处理器间的互连结构形式为 B

- (A) 总线结构 (B) 交叉开关结构
(C) 多端口存储器结构 (D) 开关枢纽结构



8、在规格化浮点数表示中，保持其他方面不变，将阶码部分的移码表示改为补码表示，将会使数的表示范围 C。

- (A) 增大 (B) 减少 (C) 不变 (D) 以上三种都不对。

三、综合题（共 64 分）

1、在计算机内部，浮点数相加是否满足结合率（即 $x + (y+z) = (x+y) + z$ ）？并说明理由。（6 分）

答：满足。

2、设某中断的硬件响应次序为 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5$ ，观要求其实际的中断处理次序为 $1 \rightarrow 4 \rightarrow 5 \rightarrow 2 \rightarrow 3$ ，请具体说明你将如何设计来完成此要求？并指出你的方法的优点。（6 分）

答：可采用软件与硬件相结合的方法来设计。硬件排队逻辑设计为：1→2→3→4→5；在执行中断处理程序4、5时，屏蔽2、3级中断，通过设置中断屏蔽寄存器来改变中断响应的优先顺序为：1→4→5→2→3。其优点是：可动态地调节中断处理顺序。

3、一全相联的 cache 有 16 块，每块 8 个字，主存容量为 2^{16} 个字，cache 开始为空。cache 存取时间为 40ns；主存与 cache 间传送 8 个字需 1us。

(1)、计算 cache 地址中标记域和块内地址域的大小。(2 分)

$$\therefore 16 = 2^4 \quad 8 = 2^3$$

\therefore cache 地址中标记域为 4 位，块内地址域为 3 位。

(2)、一程序首先访问主存单元 20, 21, ..., 45, 然后重复访问主存单元 28、29、..., 45 四次。(假设没有命中 cache 时，将主存对应块一次全部读入填入 cache 槽中) 计算 cache 的命中率。(4 分)

\therefore 程序访存次数为：(45-19)+(45-27)*4 = 198，访问不命中的次数为：4

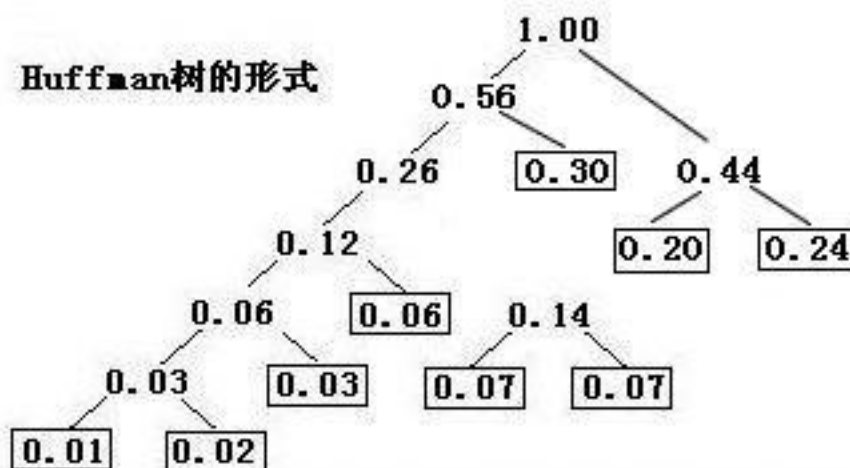
\therefore cache 的命中率为：(198-4)/198 = 98%

(3)、计算上述程序总的存取时间。(2 分)

总的存取时间为：40ns*198 + 4*1us = 11920ns

4、设某种机器有 9 条指令，这些指令的使用频率为：T1 30%，T2 24%，T3 6%，T4 7%，T5 7%，T6 2%，T7 3%；T8 20%，T9 1%，

(1)、分别求出用等长二进制编码、Huffman 编码的操作码的平均码长；(4 分)



等长二进制编码的操作码的平均码长为: $\lceil \log_2 9 \rceil = 4$

Huffman 编码的操作码的平均码长为:

$$0.01 \times 6 + 0.02 \times 6 + 0.03 \times 5 + 0.06 \times 4 + 0.07 \times 4 + 0.07 \times 4 + 0.30 \times 2 + 0.20 \times 2 + 0.24 \times 2 = 2.61$$

(2)、若限制只能有两种码长的扩展操作码编码方式。则操作码的平均码长最短的为多少? (2分)

短指令格式为:

2位	3位	3位
OP	R1	R2
操作码	寄存器	寄存器

长指令格式为:

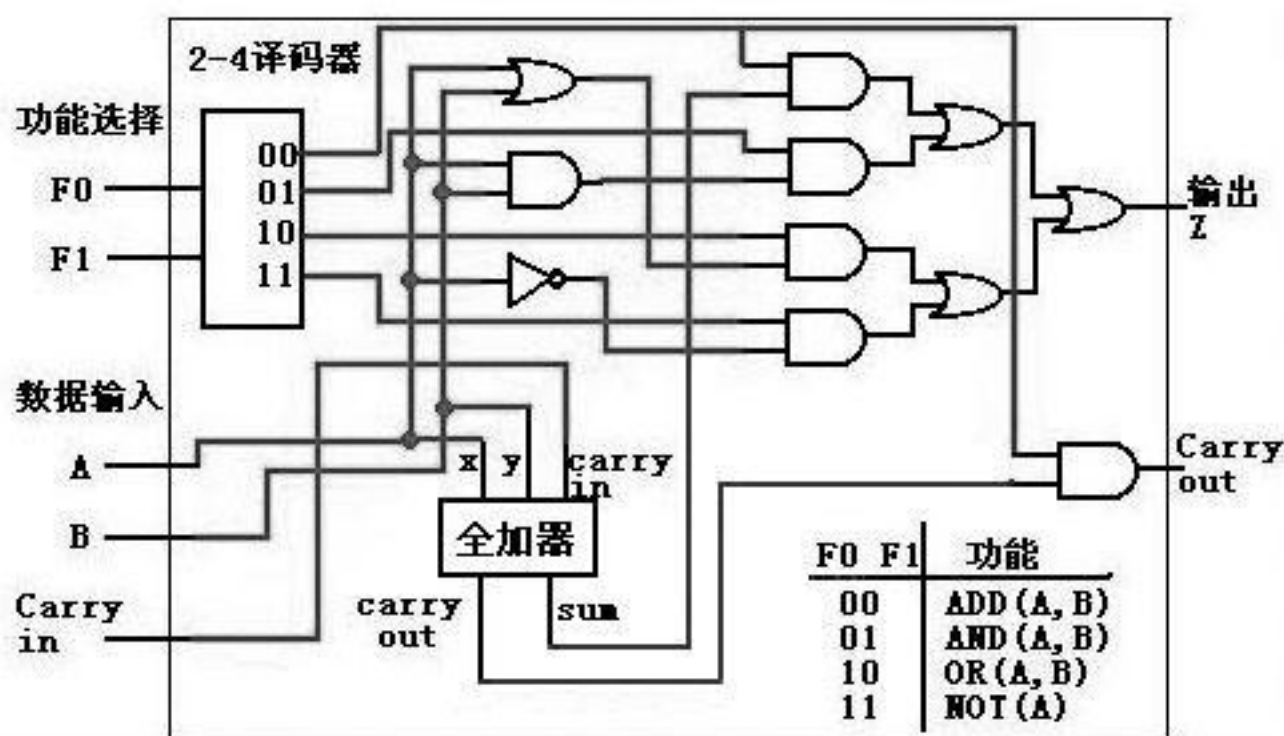
5位	8位	3位
OP	D	R
操作码	位移量	寄存器

采用 2-5 扩展的操作码编码方式

T1、T2、T8 设计为短操作码 (2 位)

其余设计为长操作码 (5 位)

则操作码的平均码长为: $(0.30 + 0.24 + 0.20) \times 2 + (0.01 + 0.02 + 0.03 + 0.06 + 0.07 + 0.07) \times 5 = 2.78$



(3)、若这两种指令都是采用双操作数指令格式编排, 且该机有若干通用寄存器, 主存为 16 位宽, 按双字节编址且任何指令均可在一个主存周期中取得, 短指令为寄存器—寄存器型, 长指令为寄存器—主存型, 则该机最多允许多少可编址的通用寄存器? 画出该机两种指令格式, 并标出各字段位数。 (6 分)

该机最多允许可编址的通用寄存器个数为: $2^3 = 8$

5、设计一个 1 位 ALU，完成一位加法、AND、OR 和 NOT 操作。输入为 A、B，输出为 Z。当加法运算时，有进位输出 Carry Out；当 AND、OR 和 NOT 操作时，CarryOut 为 0。在图一上通过连线完成上述设计。（注：不能添加任何其他部件）（8 分）

时间 段	T0	T1	T2	T3	T4	T5	T6
S1	✓						✓
S2		✓			✓		
S3			✓	✓			
S4				✓			✓
S5					✓	✓	

6、在一个给定的 5 段的流水线处理机上，要经过 7 拍完成一个任务，其预约表为

(1)、写出冲突向量；（2 分）

（抱歉，6、7 两题缺图——编者注）

(2)、画出流水线状态图；（4 分）

(3)、指出其最佳调度方案；（2 分）

(4)、若按此方案输入 8 个任务，则其实际吞吐率是多少？加速比和效率分别是多少？（4 分）

7、设某计算机的 CPU 结构如图二所示。A、B、C 均为 8 位寄存器，它们的输入和输出数据的控制信号分别为 IN_A 、 IN_B 、 IN_C 和 OUT_A 、 OUT_B 、 OUT_C ；A、C 还可以级联右移，其移位控制信号为 SHT_{AC} ；A 的清空控制信号为 CLR_A ；D 为计数器，其置数控制信号为 SET_D ，减 1 计数器控制信号为 DEC_D ；Z 和 S 为状态信号，当 $D=0$ 时， $Z=1$ ，否则 $Z=0$ ，S 为 C 寄存器的最低位；+ 为 ALU 的加法控制信号。

该计算机采用微程序控制，微指令格式为：

其中 CF 为控制字段，采用直接控制法，控制信号从高位到低位顺序为 OUT_A 、 OUT_B 、 OUT_C 、 IN_A 、 IN_B 、 IN_C 、+、 CLR_A 、 SET_D 、 DEC_D 、 SHT_{AC} 、BCF 为顺序控制字段，其含义如右表所示；BAF 为转移地址字段。设 B、C 分别存放乘数和被乘数，且均为无符号定点小数。

(1)、试画出微程序控制器的逻辑框图（5 分）

(2)、编制实现 $B \times C \rightarrow BC$ （B 存放高位积）的微程序。（7 分）