

中国科学院计算技术研究所

2001年招收攻读硕士学位研究生入学考试试卷

科目：计算机原理及系统结构

一、填空（每空1分。共20分）

1、浮点数尾数的下溢处理方法主要包括：截断法、舍入法、恒置1法和查表舍入法。

2、假设一条指令的解释分为取指、分析与执行3步，每步相应的时间为 $t_{\text{取指}}$ 、 $t_{\text{分析}}$ 和 $t_{\text{执行}}$ ，那么，执行完50条指令所需时间的一般关系式，顺序方式下为 $50(t_{\text{取指}} + t_{\text{分析}} + t_{\text{执行}})$ ，如果执行k与取指k+1重叠，则为 $t_{\text{取指}} + 50(t_{\text{分析}} + t_{\text{执行}})$ ；：如果“执行k”、“分析k+1”与“取指k+2”重叠，则为 $t_{\text{取指}} + t_{\text{分析}} + 50 t_{\text{执行}}$ 。

3、控制器的控制方式指形成控制微操作序列的时序控制信号的方式。常用的方式有组合逻辑控制、微程序控制和组合逻辑控制与微程序控制相结合三种。

4、流水线机器处理中断的方式有不精确断流法和精确断流法两种。

5、根据流水线中各段在同一时间是否允许有多种联接方式，可把流水线分为静态流水线和动态流水线。

6、已知基址寄存器的内容为1000H；变址寄存器的内容为03A0，指令的地址码部分为3FH，当前正在执行的指令所在地址为2B00H，则在考虑基址的前提下，采用变址寻址方式，访存的有效地址为13DFH；采用相对寻址方式，访存的有效地址为2B3FH。

7、DMA的工作方式有CPU暂停方式、CPU周期窃取方式和直接访问存储器方式。

二、选择填空（从A、B、C、D中单选，每题2分，共20分）

1、Von. Neumann型计算机的最根本特征是B。

(A) 以运算器为中心

(B) 采用存储程序原理

(C) 存储器按地址访问

(D) 数据以二进制编码，并采用二进制运算

2、在页式管理存储器中，可在页表内设置R（读）、W（写）以及C（此位为1时，表示该页为指令空间）位。

(A) F（标志） (B) P（保护）

(C) E（执行） (D) V（有效）

3、浮点数的格式为10位字长，阶码4位，基为2。当阶码和尾数均用原码表示，且为规格化形式（采用隐藏位），下面A浮点数表示0.4

(A) 0100110011 (B) 0100111001

(C) 0000011001 (D) 0000010011

4、若动态RAM每毫秒必须刷新100次，每次刷新需100ns，一个存储周期需要200ns，则刷新占存储器总操作时间的百分比是C。

(A) 0.5% (B) 1.5% (C) 1% (D) 2%

5、某机器采用四体交叉存储器，今执行一段小循环程序，此程序存放在存储器的连续地址单元中。假设每条指令的执行时间相同，而且不需要用到存储器存取数据，在下面两种情况下（执行指令数相等），程序运行时间之比为A。

(1) 循环程序由 6 条指令组成, 重复执行 80 次;

(2) 循环程序由 8 条指令组成, 重复执行 60 次。

(A) 4: 3 (B) 1: 2 (C) 2: 1 (D) 3: 4

6、为使虚存系统有效地发挥其预期的作用, 所运行的程序应具有的特性是 D。

(A) 该程序不应含有过多的 I/O 操作;

(B) 该程序的大小不应超过实际的内存容量;

(C) 该程序的指令间相关不应过多;

(D) 该程序应当具有较好的局部性。

7、在 Cache 和主存构成的两级存储体系中, Cache 的存取时间是 100ns, 主存的存取时间是 1000ns, 如果希望有效 (平均) 存取时间不超过 Cache 存取时间的 15%, 则 Cache 的命中率至少应为 D。

(A) 90% (B) 98% (C) 95% (D) 99%

8、包括指令相关、访存操作数相关和通用寄存器组相关等这些, 都是由于在机器同时解释的多条指令之间出现了同一个单元的“ ”要求。C

(A) 局部性相关, 先写后写 (B) 局部性相关, 先读后写

(C) 局部性相关, 先写后读 (D) 全局性相关, 先读后写

9、为做到在多计算机互连网络上传递消息的延迟与所通过的路径长度基本无关, 采用以流水方式传递消息包的切片, 遇到阻塞后就地缓冲的切换方式, 其名称为:

(A) 存储-转发 (Store-and-Forward)

(B) 电路切换 (Circuit Switching)

(C) 虫洞切换 (wormhole)

(D) 虚跨步 (Virtual Cut-Through)

10、三级 STARAN 多级立方体互连网络的入端排列为 0, 1, 2, 3, 4, 5, 6, 7; 出端排列为 5, 4, 7, 6, 1, 0, 3, 2 时, 级控制信号为

(A) 010 (B) 111 (C) 101 (D) 011

三、综合题 (共 60 分)

1、(8 分) 发生 Cache 不命中和页面失效时, 对当前的指令 (或进程) 的处理有什么不同? 为什么?

2、(10 分) 某一机器的指令系统, 操作码说明为 8 位, 操作数以及操作数地址说明均为 16 位, CPU 与存储器之间每次传送 16 位数据。A、B、C、D、E 表示字地址, 存放 16 位数据。

(1) 分别用三地址、二地址和一地址指令编写 (三个) 程序, 计算 $A = (B - C) * (D - E)$ 。(不允许覆盖任何操作数, 可以使用暂存单元)

(2) 分别计算所写程序的字节总数

(3) 分别计算程序执行时的访存次数

3、已知 A、B、C、D 均为四位无符号数

(1) 试用一位全加器，设计一加法器模块，完成四个四位无符号数的加法运算。 $S = A + B + C + D$

(2) 若一位全加器的延时为 T，计算该加法器模块的延时。

4、在 CRAY-1 机器上，设向量长度均为 64；所用浮点功能部件的执行时间分别为：相加需 6 拍，相乘需 7 拍；从存储器中读数需 6 拍；打入寄存器及启动功能部件各需 1 拍。系统中各功能部件只有一套，问下列各指令组，组内的哪些指令可以采用链接技术，哪些指令不可链接？不能链接的原因是什么？并分别计算各指令组全部完成所需的拍数

(1)

(2)

$V0 \leftarrow \text{存储器}$

$V3 \leftarrow \text{存储器}$

$V2 \leftarrow V0 * V1$

$V2 \leftarrow V0 * V1$

$V3 \leftarrow V2 + V0$

$V4 \leftarrow V2 + V3$

5、(10 分) 对于结构如图示之堆栈，写出其 POP 和 PUSH 的微操作序列。

6、考察两种微处理器，指令集相同。

1) GaAs 微处理器。直径 10cm 的 GaAs 晶片造价 \$1000，目前的工艺每平方厘米会出现 4 个缺陷。时钟频率为 250MHz，假定内存系统无限快，那么平均每条指令的执行周期为 1.5 时钟周期。GaAs 微处理器的尺寸为 1.0cm x 1.0cm。假设 $a = 2.0$)

2) CMOS 微处理器。直径 15cm 的 CMOS 晶片造价 \$500，目前的工艺每平方厘米会出现 2 个缺陷。时钟频率为 50MHz，假定内存系统无限快，那么平均每条指令的执行周期为 0.75 时钟周期。CMOS 微处理器的尺寸为 1.0cm x 2.0cm。(芯片尺寸更大是因为片内 Cache 和每个时钟周期执行多条指令，假设 $a = 2.0$) 为两个处理器建立了内存系统后，那么平均每条指令的执行时间需要附加上的访存延迟为 10ns。

计算公式如下：

Dies per wafer =

假设每块晶片上用于测试的 Die 有 5 个。问：

1) 每个 GaAs die 的造价？

2) 每个 CMOS die 的造价？

3) 分别计算这两种处理器的 MIPS 值，并说明哪种处理器更快一些？

4) 比较这两种处理器的性价比 (cost/MIPS)。