

所有试题答案写在答题本上，答案写在试卷上无效

一、单项选择题（每题 2 分，共 24 分）

1. IEEE754 标准规定的 32 位浮点数格式中，符号位为 1 位，阶码为 8 位，尾数为 23 位，则它所能表示的最大规格化正数为_____。

- A. $+(2-2^{-23}) \times 2^{+127}$ B. $+(1-2^{-23}) \times 2^{+127}$ C. $-(2-2^{-23}) \times 2^{+127}$ D. $2^{+127}-2^{-23}$

2. 在机器数_____中，零的表示形式是唯一的。

- A. 原码 B. 补码 C. 补码和移码 D. 反码

3. 某 DRAM 芯片，有存储容量为 512K×8 位，该芯片的地址线和数据线数目为_____。

- A. 8, 512 B. 512, 8 C. 18, 8 D. 19, 8

4. 双端口存储器在_____情况下会发生读 / 写冲突。

- A. 左端口与右端口的地址码不同。
B. 左端口与右端口的地址码相同。
C. 左端口与右端口的数据码相同。
D. 左端口与右端口的数据码不同。

5. 指令系统中采用不同寻址方式的目的主要是_____。

- A. 实现存储程序和程序控制。
B. 缩短指令长度，扩大寻址空间，提高编程灵活性。
C. 可以直接访问外存。
D. 提供扩展操作码的可能并降低译码难度。

6. 异步控制常用于_____作为其主要控制方式。

- A. 在单总线结构计算机中访问主存与外设时
B. 微型机的 CPU 控制中
C. 组合逻辑控制的 CPU 中
D. 微程序控制器中

7. 假设微操作控制信号用 C_n 表示，指令操作码译码器输出用 I_m 表示，节拍电位信号用 M_r 表示，节拍脉冲信号用 T_i 表示，状态反馈信息用 B_j 表示，则硬布线控制器的基本原理可描述为_____

- A. $C_n=f(I_m, T_i)$ B. $C_n=f(I_m, B_j)$ C. $C_n=f(M_r, T_i, B_j)$ D. $C_n=f(I_m, M_r, T_i, B_j)$

8. 并行 I/O 标准接口 SCSI 中，一块在适配器可连接_____台具有 SCSI 接口的设备。

- A. 6 B. 7 C. 8 D. 10

9. CRT 的分频率为 1024×1024 像素, 像素的颜色数为 256 色, 则刷新存储器的容量是_____。

- A. 512KB B. 1MB C. 256KB D. 2MB

10. 采用 DMA 方式传送数据时, 每传送一个数据要占用_____的时间。

- A. 一个指令周期 B. 一个机器周期 C. 一个时钟周期 D. 一个存储周期

11. 在单级中断系统中, CPU 一旦响应中断, 则立即关闭_____标志, 以防止本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。

- A. 中断允许 B. 中断请求 C. 中断屏蔽

12. 常用的虚拟存储系统由_____两级存储器组成。

- A. 主存—辅存 B. 快存—主存 C. 快存—辅存 D. 通用寄存器—主存

二、填空题 (每空 2 分, 共 36 分)

1. 沿磁盘半径方向单位长度上的磁道数称为 A.____, 而磁道单位长度上能记录的二进制代码位数称为 B.____, A 和 B 统称为磁盘存储器的 C.____。

2. 指令系统的 A.____和 B.____不仅直接影响到机器的硬件结构, 而且也影响到 C.____。

3. 流水线处理器是指 A.____或 B.____类型的机器, 其实质是 C.____处理, 以提高机器速度。

4. 总线定时是总线系统的核心问题之一, 为了同步主从方的操作, 必须制订 A.____, 通常采用 B.____定时和 C.____定时两种。

5. 显示适配器作为 CRT 和 CPU 的接口, 由 A.____存储器, 显示控制器, B.____三部分组成, 先进的显示控制器具有 C.____加速能力。

6. 字节多路通道可允许 A.____设备进行 B.____型操作, 数据传送单位是 C.____。

三、应用题 (本题共 90 分)

1. (10 分) 设定点补码整数 $[N]_{\text{补}} = a_{n-1} a_{n-2} \cdots a_1 a_0$ 其中 a_{n-1} 是符号位, 求证:

$$\text{真值 } N = -a_{n-1} 2^{n-1} + \sum_{i=0}^{n-2} a_i 2^i$$

2. (10 分) 设有两个十进制数: $x = -0.875 \times 2^1, y = 0.625 \times 2^2$,

(1) 将 x, y 的尾数转换为二进制补码形式。

(2) 设阶码 2 位, 阶符 1 位, 数符 1 位, 尾数 3 位, 通过补码运算规则求出 $z = x - y$ 的二进制浮点规格化结果。

3. (12 分) 用 $16K \times 8$ 位的 DRAM 芯片构成 $64K \times 32$ 位存储器, 要求:

(1) 画出该存储器的组成逻辑框图

(2) 设存储器读/写周期为 $0.5\mu s$, CPU 在 $1\mu s$ 内至少访问一次, 试问: ①采用哪种刷新方式比较合理, 为什么? ②设两次刷新的最大时间间隔是 $2ms$, 对全部存储单元刷新一遍所需的实际刷新时间是多少?

4. (12 分) 一片 EDRAM 芯片的存储容量为 $1M \times 4$ 位, 其中 Sel 为片选信号, RAS 为行选通信号, CAS 为列选通信号, Ref 为刷新信号, $A0 \sim A10$ 为地址输入信号, 请设计一个

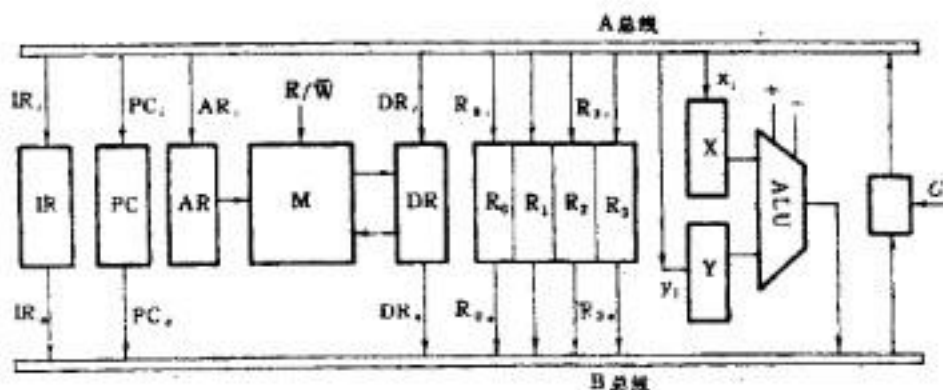
IMx32 位的存储器（可以理解为一个内存条）。问：（1）其存储容量是多少 MB？（2）画出组成模块图（3）分析该存储器的地址格式。

5. (10 分) 画图说明中断服务子程序的过程。

6. (10 分) 用定量分析方法证明模块交叉存储器带宽大于顺序存储器带宽。

7. (12 分) 下图所示为双总线结构机器的数据通路, IR 为指令寄存器, PC 为程序计数器(具有自增功能), M 为主存(受 R/W 信号控制), AR 为主存地址寄存器, DR 为数据缓冲寄存器。ALU 由加减控制信号决定完成何种操作。控制信号 G 控制的是一个门电路。另外, 线上标注有控制信号, 例如 Y₁ 表示 Y 寄存器的输入控制信号, R₁₀ 表示寄存器 R₁ 的输出控制信号。未标注的线为直通线, 不受控制。

现有“ADD R2, R0”指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作。请画出该指令的指令周期流程图, 并列出的微程序控制信号序列。假设该指令的地址已放入PC中。



8. (14 分) 假设某机器字长为 16 位, 存储器按双字节编址, 现在要有一条机器指令, 并假设已放入内存中, 指令格式为(16 进制表示):

800	D400
801	0A00
802	0A01

指令功能: $[0A00] + [0A01] \rightarrow 0A01$

800, 801, 802 为相关内存单元的地址 (16 进制表示)。D400 中的最高 6 位为指令操作码字段, 其余 10 位为无关位; 0A00 和 0A01 均为内存地址, 且在内存地址 0A00 中存放了数 6, 在 0A01 中存放了数 2。问:

- (1) 分析该指令格式的特点。
- (2) 假设程序计数器用 PC 表示, 地址寄存器用 AR 表示, CPU 中有 2 个通用寄存器 R0 和 R1, 如果用微程序技术来实现该条机器指令的功能, 请说明该条机器指令的执行阶段(非取指阶段)需要几条微指令来实现, 把它们分别表示出来。
- (3) 简要说明你是如何理解指令与微指令的。