

一、(数字逻辑) 本题 10 分 (第 1、第 2 小题各 2 分, 第 3、第 4 小题各 3 分)

1. 已知逻辑函数

$$F_1 = A \bar{B} \bar{D} + \bar{A} B D + A C D + \bar{A} \bar{C} \bar{D}$$

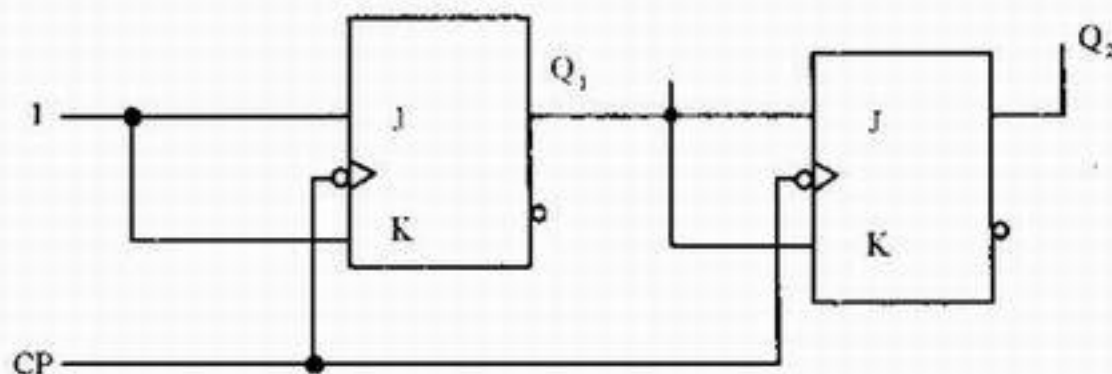
$$F_2 = B \bar{D} + A C \bar{D} + A \bar{C} D + \bar{B} C D$$

求: $F_1 + F_2, F_1 \cdot F_2, F_1 \oplus F_2$ 。

2. 用公式法证明下列等式

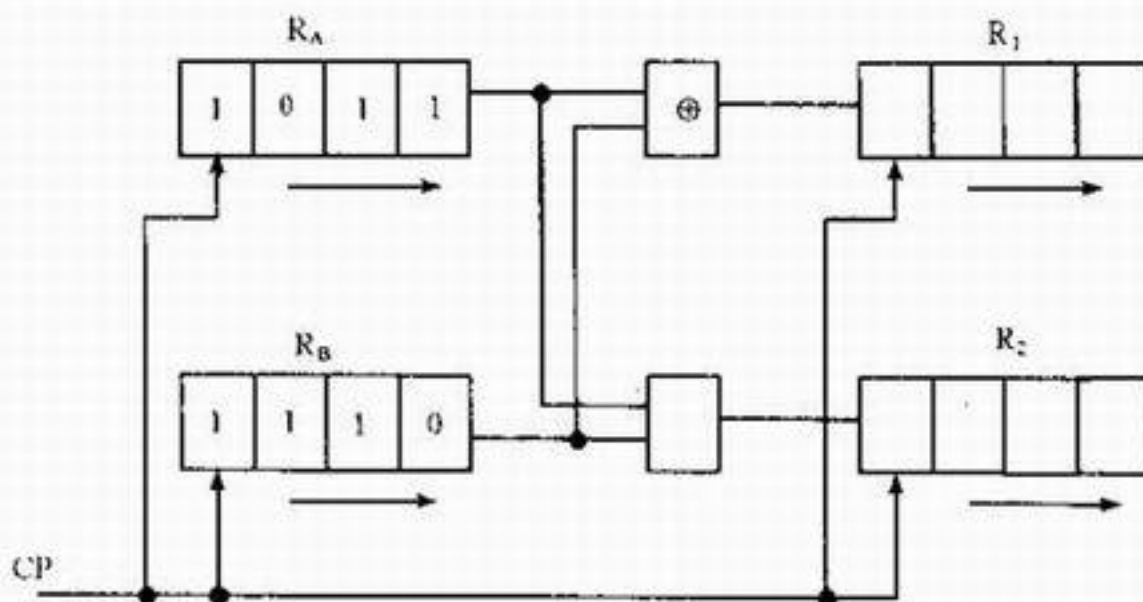
$$BC + A \bar{B} C + \bar{A} C + AB \bar{C} = AC$$

3. 在题一、3 图所示的电路中, 设现态 $Q_1 Q_2 = 00$, 经三个脉冲作用后, $Q_1 Q_2$ 的状态如何? 为什么?



题一、3 图

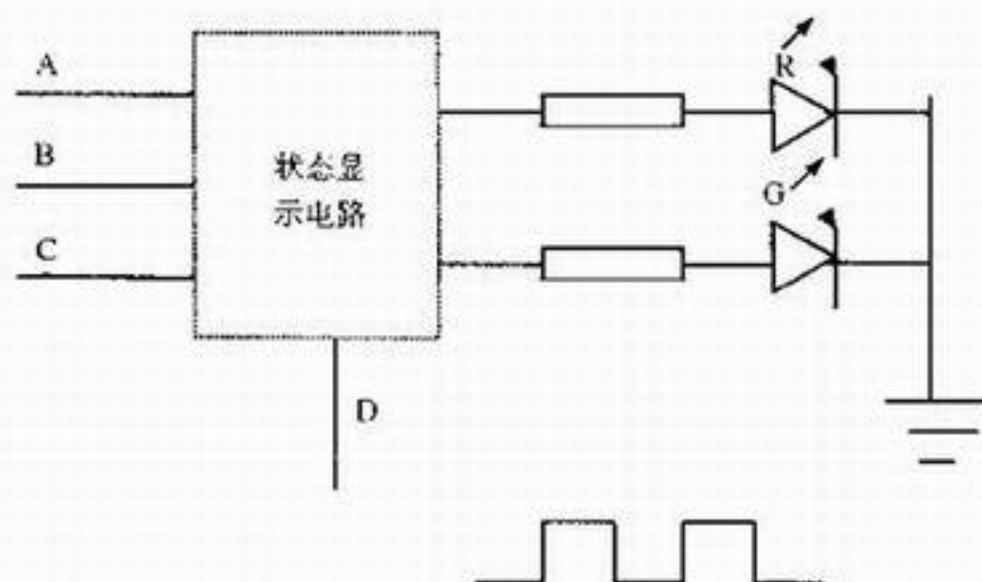
4. 在题一、4 图所示电路中, R_A, R_B, R_1, R_2 分别为四个 4 位移位寄存器, 其移位方向如图所示。设 R_A, R_B 内已存有二进制数码 1011 和 1110, 则在 4 个脉冲作用后, 移位寄存器 R_1 中的二进制数码是 _____, 寄存器 R_2 中的二进制数码是 _____。



题一、4 图

二、(数字逻辑)本题 10 分

题二图是一个状态显示器, A、B、C 为状态输入; R 和 G 为输出; 输入信号 D 为 3~5Hz 的方波, 其作用是使发光二极管闪烁, 因此红(R)绿(G)两个发光二极管可分别有亮、不亮、闪烁三种情况。根据红、绿两个发光二极管的不同状态, 可知悉 A、B、C 的不同状态。试设计一电路, 完成该状态显示器。



题二图

三、(数字逻辑)本题 10 分

用最少的 D 触发器, 设计产生 011010 码的循环发生器, 要求电路具有自恢复性。

四、(计算机组成原理)填空题(本题 10 分, 每空各 1 分)

1. 某机器字长 16 位, 采用两位比较法进行补码乘法运算, 此时并行加法器应该是____位加法器, 应该进行____次相加移位操作。
2. 总线控制方式一般分为____, _____和____三种。
3. 高速缓冲存储器与主存的地址映射一般有全相联、____、____和____三种。
4. 条件转移指令执行时依据的条件来自_____。
5. 微指令格式可以分为_____和_____两大类。

五、(计算机组成原理)(本题 10 分)

某活动磁头磁盘组的性能参数如下: 转速 6000 转/分, 每道容量 20KB, 平均寻道时间 10 ms。假定操作系统采用两种方式访问该磁盘组, 第一种方式每次读取 2KB, 第二种方式每次读取 8KB。已知操作系统访问磁盘的时间开销为每次 5ms 的额外开销和 2KB/ms 的传输开销。

1. 计算该磁盘组的数据传输率和平均等待时间(即从磁头定位到目标磁道开始到寻找目标扇区的平均时间)?

2. 如果要读取一个很大的磁盘文件,操作系统按第一种方式和第二种方式所需的时间比是多少?

六、(计算机组成原理)(本题 10 分)

某 32 位机(字宽 32 位)的一台外设通过 32 位总线与系统内存相连。CPU 每秒执行 10^6 条指令,平均每条指令需要 5 个机器周期,其中 3 个周期必须访问内存,内存读写需一个机器周期,假定 CPU 在 95% 的时间内持续执行“背景程序”,且这段时间内不执行 I/O 指令。现该外设需要把一个非常大的数据块传送到内存。

1. 如果采用程序 I/O 方式,每传送一 32 位字宽的数据需要 CPU 执行 2 条指令。请计算最大数据传输率(单位:字/秒)。

2. 如果采用 DMA 方式,在 DMA 与 CPU 出现总线访问冲突时,CPU 优先。请计算最大数据传输率(单位:字/秒)。

七、(计算机组成原理)(本题 10 分)

某计算机主存大小 16KB,CPU 内部有 8 个 16 位通用寄存器,8 个 8 位通用寄存器,1 个 16 位变址寄存器。该机指令系统有 64 条指令,全部为寄存器—寄存器型或寄存器—存储器型指令,同时支持 8 位和 16 位运算。当操作数不在寄存器中时,采用下列寻址方式:

- (1)寄存器间接寻址(用 16 位寄存器);
- (2)存储器直接寻址;
- (3)基址变址寻址(用任意 16 位寄存器做基址寄存器,位移量 16 位)。

要求:

1. 设计适合该计算机的指令格式,使指令长度最短,并画出各种类型的指令格式示意图。
2. 写出各种寻址方式计算有效地址的表达式。

八、(计算机组成原理)(本题 15 分,每小题 5 分)

1. 一 CPU 内部包含 16 个寄存器,一个支持 16 种算术运算和 16 种逻辑运算的 ALU,一个支持 8 种操作的移位器。所有部件均由 CPU 内部总线连接在一起。请设计该 CPU 内部不同操作的微指令格式(不必考虑次地址部分)。

2. 简要说明指令周期、CPU 周期和节拍周期三者之间的关系。
3. 结合计算机的内部结构,简要说明一条机器指令的执行过程。

九、(计算机组成原理)(本题 15 分)

某 8 位计算机系统采用单总线结构,数据总线 8 根,地址总线 16 根,系统加电后,CPU 中的程序计数器 PC 初始值为 FFF0H。已知:

1. 主存地址空间 64KB,其中系统 BIOS 程序大约需要 4KB,由 $4K \times 4$ 的 ROM 芯片构成,其余地址空间为系统 RAM 区,用 $4K \times 8$ 的 SRAM 芯片构成。

2. 该机系统总线连接一 I/O 接口, 接口控制由专用接口芯片实现, 该芯片内部包含 8 个用于存放数据和状态的 8 位寄存器。

3. CPU 信号中包括有地址线 $A_0 \sim A_{15}$ 、数据线 $D_0 \sim D_7$ 、读控制线 \overline{RD} 和写控制线 \overline{WE} 、内存访问请求线 \overline{MREQ} 和 I/O 端口访问请求线 \overline{IORQ} 。

4. I/O 编址采用单独编址, I/O 地址占 8 位;

5. 接口芯片有双向数据端 $D_0 \sim D_7$ 、地址输入端 $A_0 \sim A_2$ 和片选输入端 \overline{CS} , 通信接口地址范围为 80H ~ 87H。

要求:

1. 请合理分配主存地址空间, 指明 ROM 区和 RAM 区的地址范围。

2. 请完成存储器设计和通信接口设计, 画出 CPU 与存储器和通信接口之间的连接示意图。