

北京航空航天大学

二〇〇一年  
招收研究生

题单号:562

数理逻辑与计算机组成原理 试题 (共4页)

考生注意:全部答案必须写在答题册上,写在试题上的答案无效。

一、本题 10 分(第 1 小题 3 分,第 2 小题 4 分,第 3 小题 3 分)

1)用卡诺图化简下列逻辑函数:

$$F = B\bar{C}D + \bar{A}B\bar{C}D + A\bar{B}\bar{C}D$$

其约束条件为:  $C \oplus D = 1$

2)一个 3:8 译码器构成的逻辑电路如图 1 所示,写出逻辑函数  $F_1$ 、 $F_2$  的表达式。

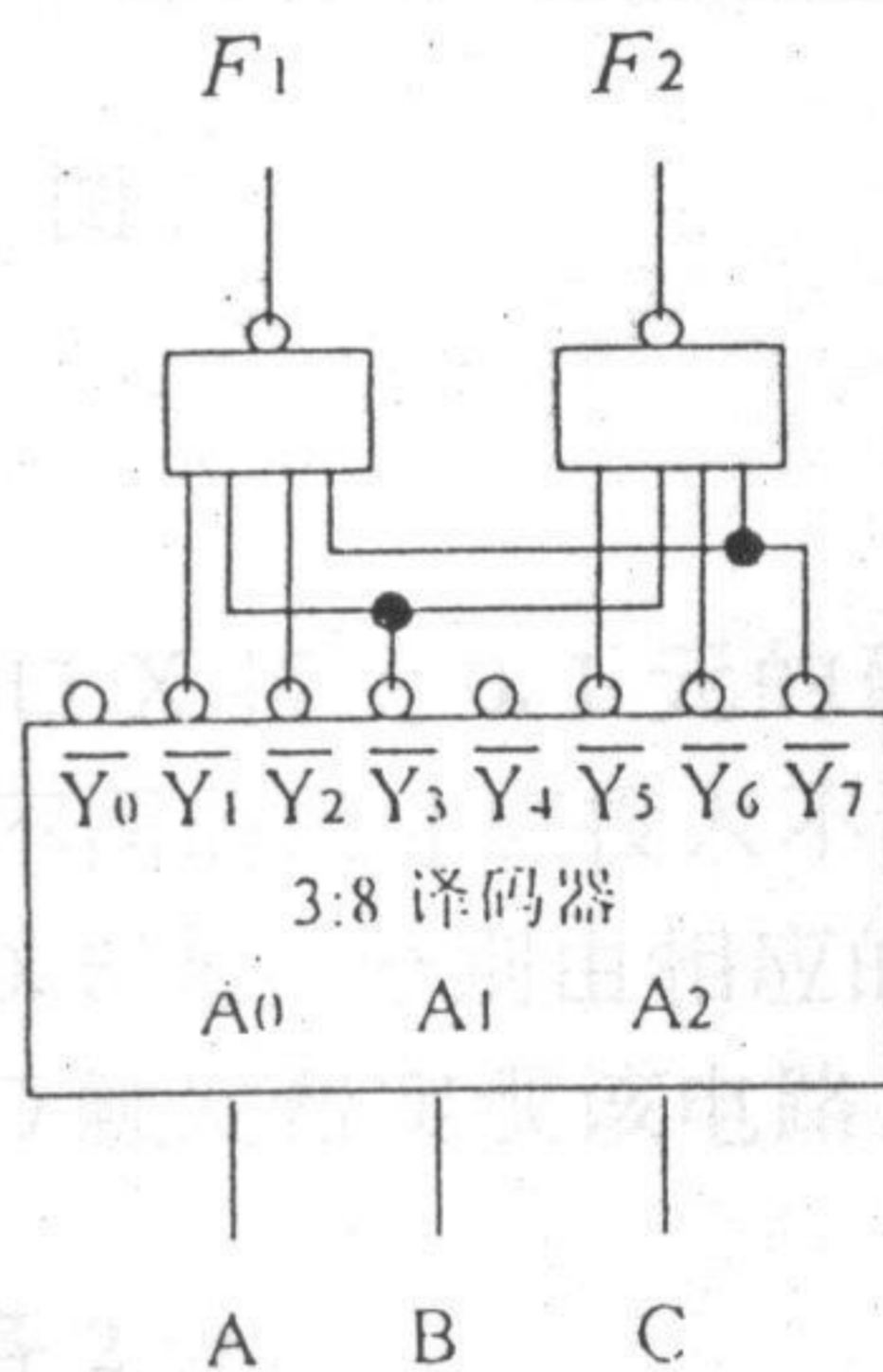


图 1

3)试分析图 2 所示电路的逻辑功能,并与基本 RS 触发器的逻辑功能进行比较。



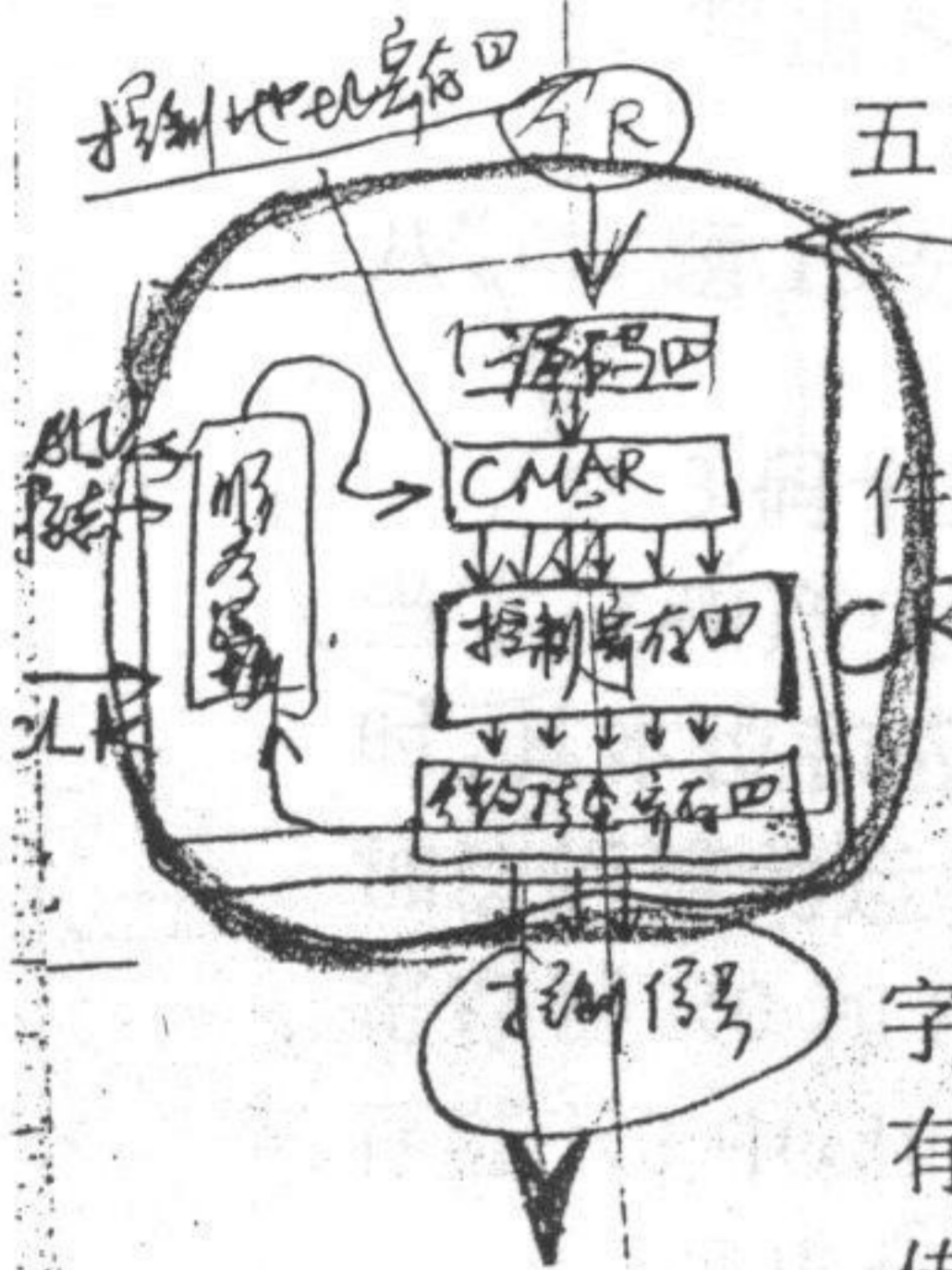
2. 由  $16K \times 4$  的 SDRAM 芯片组成的 RAM, 其刷新地址计数器为 8 位。

3. 由 5 个 9GB 的硬盘组成一个 RAID5, 其有效的存储容量为 36GB。

4. 补码乘法的基本等式是:  $[A \times B]_{补} = [A]_{补} \times B$ 。

5. 构造一个具有 14 位地址和 8 位字长的存储器, 需要 128 个  $1K \times 1$  的存储芯片。

五、简单回答题(本题 20 分, 每题 5 分)



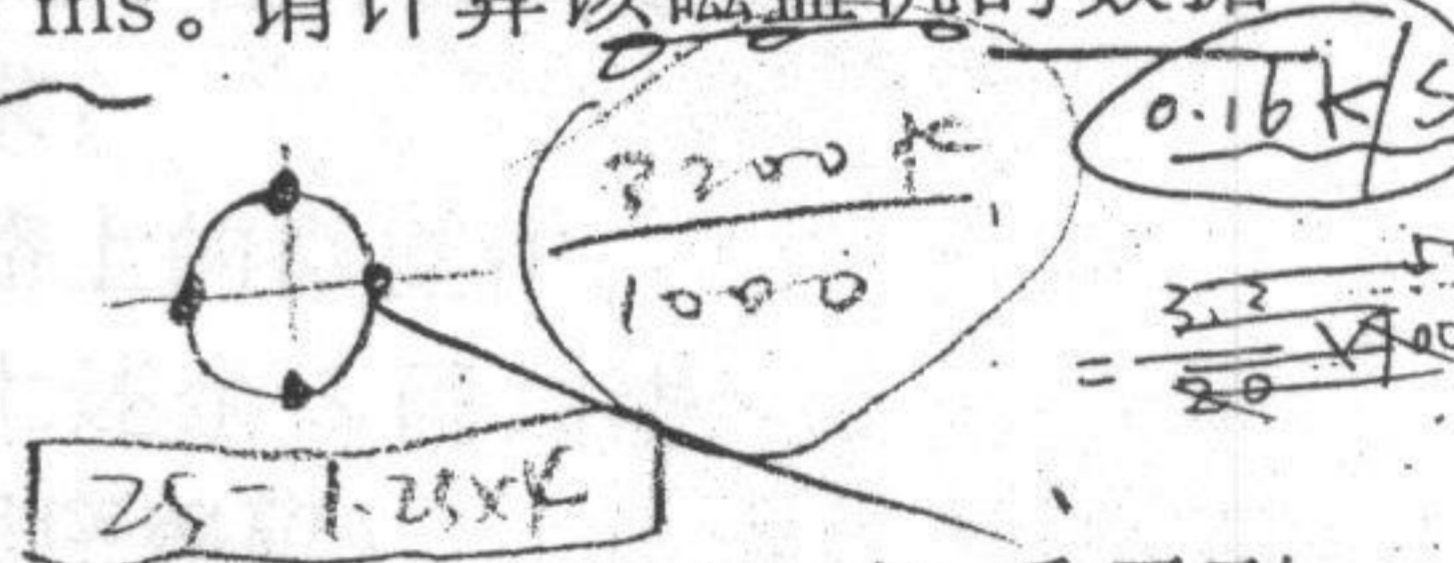
1. 画出控制器的结构框图, 并结合指令的执行过程阐述各部件的作用。

2. 总线的同步控制和异步控制有何区别? 比较它们的优缺点。

3. 简述 DMA 接口的基本组成。

4. 一台磁盘机, 知其有 10 个盘面, 100 个柱面, 总容量为 3200K 字节, 磁盘旋转一周的时间为 25 ms, 每个磁道分 4 个区, 区与区之间有一个间隙, 磁头通过每个间隙需要 1.25 ms。请计算该磁盘机的数据传输率。

40 圈/秒  
5ms/圈



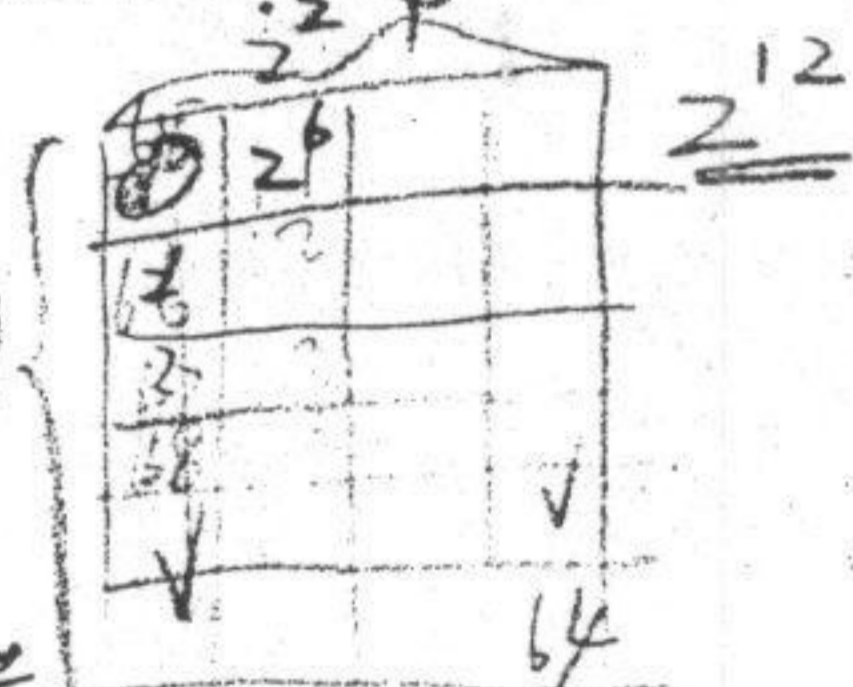
六、(本题 15 分)

某计算机系统主存大小为 32K 字, 高速缓存大小为 4K 字, 采用列(组)相联地址映射方式, 每列含 4 块, 每块大小 64 个字。假定高速缓存开始为空, CPU 从主存地址单元 0 开始按顺序依次读取 4352 个字。重复此过程共 10 次。若高速缓存的速度是主存的 10 倍, 且采用 LRU 替换算法。

1. 画出主存和高速缓存的地址格式;

2. 利用缓存后获得的加速比是多少?

$\frac{15}{2^{12}} = \frac{2^6}{2^{12}} = \frac{1}{2^6} = \frac{1}{64}$



七、(本题 10 分)

某机内存 64KB, CPU 内部有 8 个 16 位通用寄存器(其中 4 个又可以当成 8 个 8 位通用寄存器)。该机指令系统有 64 条指令, 全部为双

三个按钮的硬币: B5 Y1, Y2, Y3

$\frac{4352}{256} = 17$   
 $\frac{17}{64} = 0.265625$

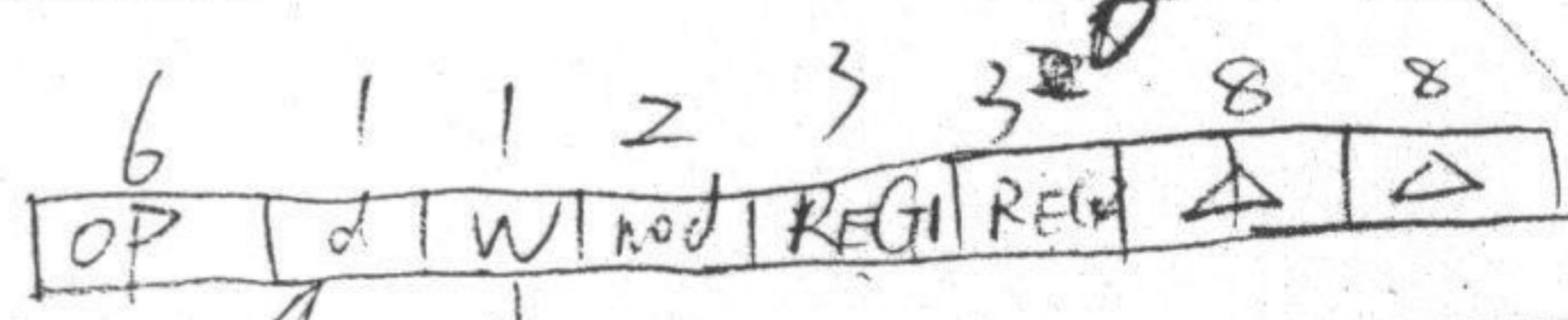
记录指令执行 4 个块

$\frac{4352}{68} = 64$

$68 + 4 \times 5 \times 9$

缺页次数

$\frac{68 \times 105}{5} = 1428$



$105 \times 43520$   
 $5 \times \text{cache} + 115 \times \text{main}$   
 $43520 - (68 + 180)$

地址指令，且必有一个操作数在寄存器中。指令采用下列寻址方式：

- (1) 寄存器直接寻址
- (2) 寄存器间接寻址(用 16 位寄存器)  $2^2 \text{ mod}$
- (3) 存储器直接寻址
- (4) 变址寻址(用任意 16 位寄存器做变址寄存器, 位移量 16 位)。

要求：

1. 设计适合该计算机的指令格式, 并画出各种类型的指令格式示意图。
2. 写出各种寻址方式计算有效地址的表达式。

八、(本题 15 分)

1.  $EA = (Rn) \times 3$     3.  $EA = XXXY$   
 2.  $EA = (Rn) + 3$     4.  $EA = (Rn) + XXXX$

余 3 码十进制加法运算的基本规则是：两个十进数的余 3 码相加，当本位和产生进位时，其本位和应做加 3 修正；当本位和不产生进位时，其本位和应做减 3 修正。请设计一个完成两个一位十进制数余 3 码加法运算的运算部件。假定两个一位十进制数的余 3 码已分别存放在寄存器 R0 和 R1 中，常数 3 也存放在寄存器 R2 中，和的个位存放到寄存器 R3 中，和的十位舍弃不管。寄存器均为 4 位，要求：

1. 画出该运算部件的逻辑框图，并定义各数据通路上的微操作。
2. 设计一个微程序控制器控制该运算部件完成上述余 3 码加法运算(写出运算微操作流程，定义微指令格式，写出微程序编码)。