

北京航空航天大学

二〇〇四年硕士试题 题单号: 432

模拟电路与数字电路 (共7页)

考生注意: 所有答题务必书写在考场提供的答题纸上, 写在本试题单上的答题一律无效 (本题单不参与阅卷)。

一、(本题共10分, 每小题各1分)

选择题, 从括弧中选择一个正确答案。

- 1、由NPN型晶体三极管构成的共集电极放大电路出现了切顶失真, 欲改善失真应如何调节基极电流? (①增大; ②减小)。
- 2、直接耦合放大电路产生零点漂移后 (①有助于提高输出幅度; ②无法正确判断是否由于输入而产生了输出)。
- 3、场效应管的温度稳定性比双极型晶体管 (①高; ②低)。
- 4、上限频率高的放大电路上升时间 (①长; ②短)。
- 5、功放电路中采用的自举电路属于 (①正反馈; ②负反馈)。
- 6、集成运放的共模范围比差模范围 (①大; ②小)。
- 7、“一次变化问题”发生在 (①主从JK触发器中; ②主从RS触发器中)。
- 8、三种直接A/D转换器: ①计数式、②逐次渐近式、③并联比较式, 转换速度最快的是, 电路规模最小的是。

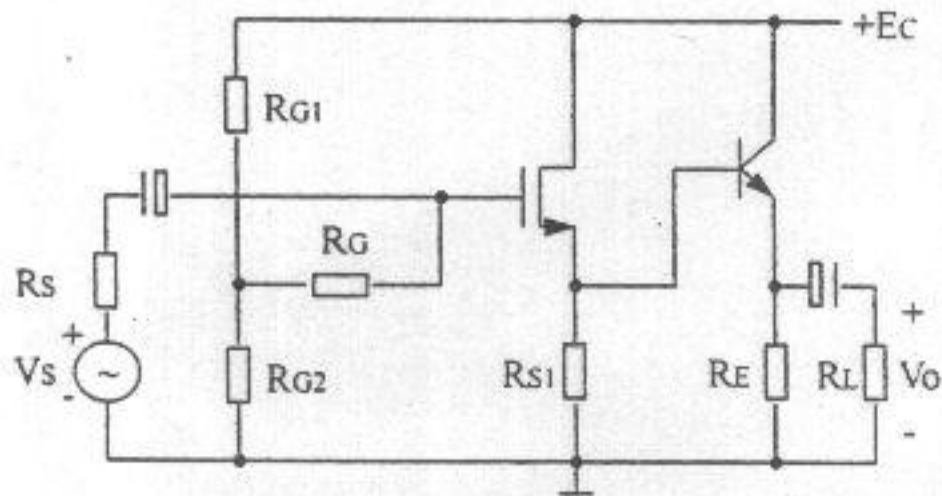
9、可重触发式单稳态触发器进入暂态期间又收到了第二个触发信号，
 则 (①立即进入稳态；②暂态重新开始)。

10、提高阈值的目的是为了 (①提高低电平噪声容限；②提高高电平噪声容限)。

二、(本题 10 分)

放大电路如图所示，已知 β 、 r_{be} 、 g_{m0}

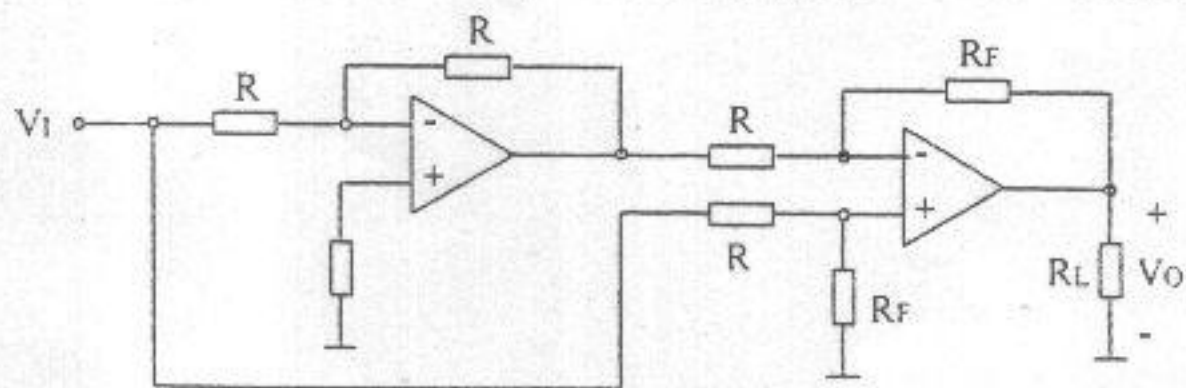
- 1、画出交流等效电路；
- 2、写出输入电阻、输出电阻表达式；
- 3、写出放大倍数 $A = V_o / V_s$ 表达式；



题二图

三、(本题 10 分)

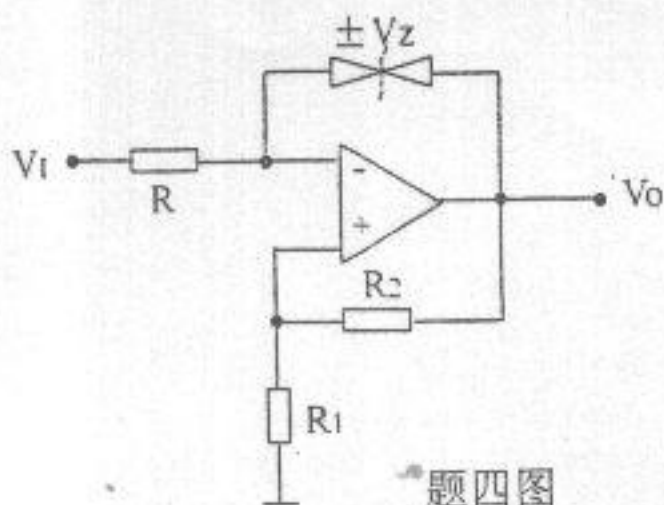
理想运放构成的电路如图所示，写出放大倍数 $A = V_o / V_i$ 表达式。



题三图

四、(本题 10 分)

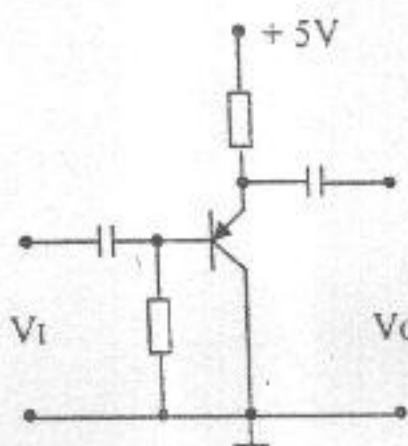
画出下图电压传输特性，并求出阈值、输出高电平、输出低电平。



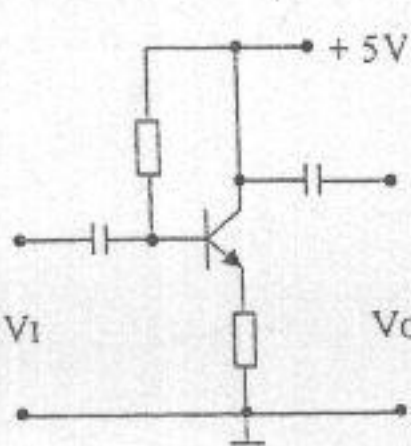
题四图

五、(本题共 10 分，每图各 1 分)

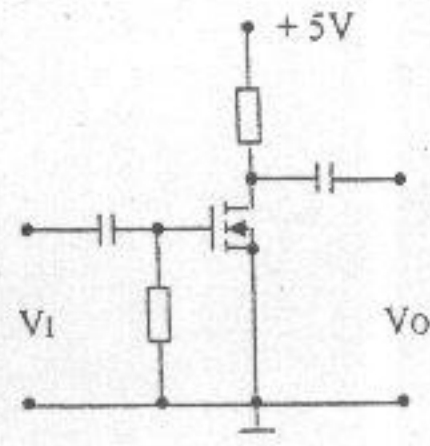
1、如下电路是否具有放大作用？



题五、1 图

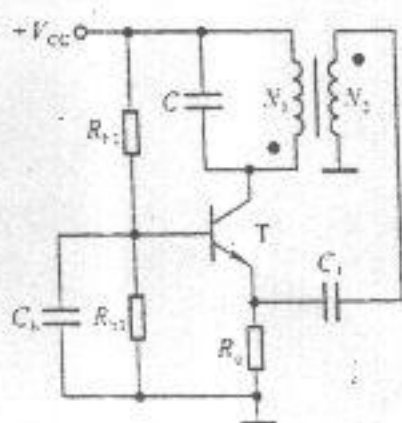


题五、2 图

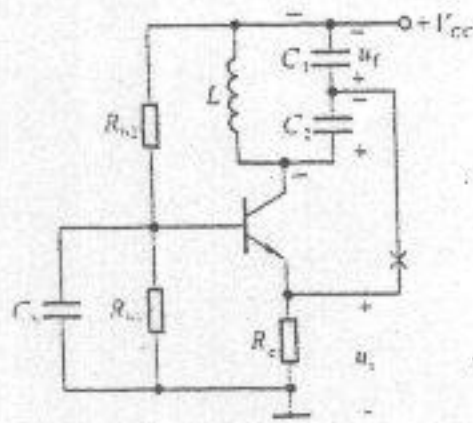


题五、3 图

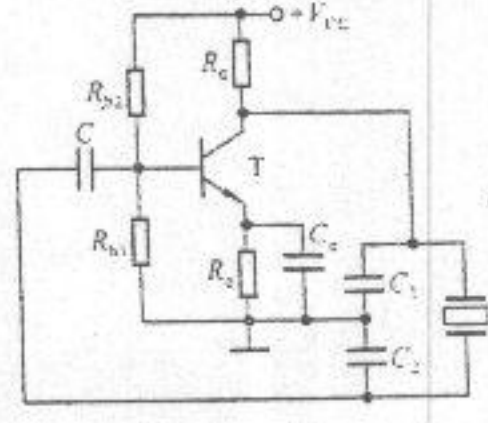
2、根据相位平衡条件判断如下振荡电路能否起振？



题五、4 图

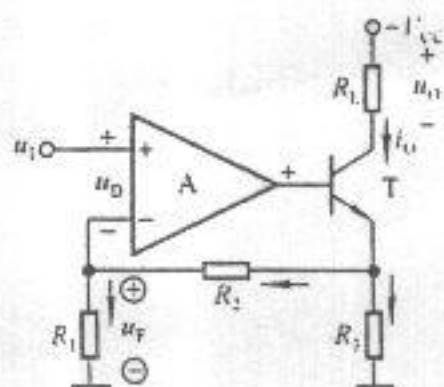


题五、5 图

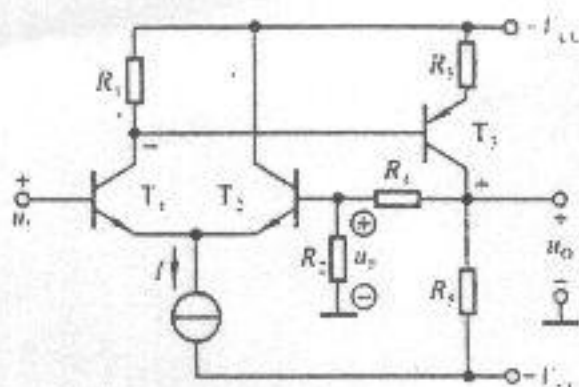


题五、6 图

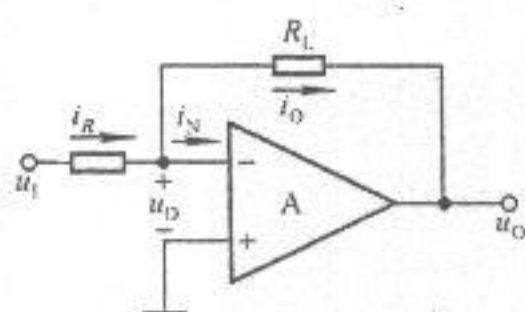
3、判断如下电路的反馈极性与反馈组态：



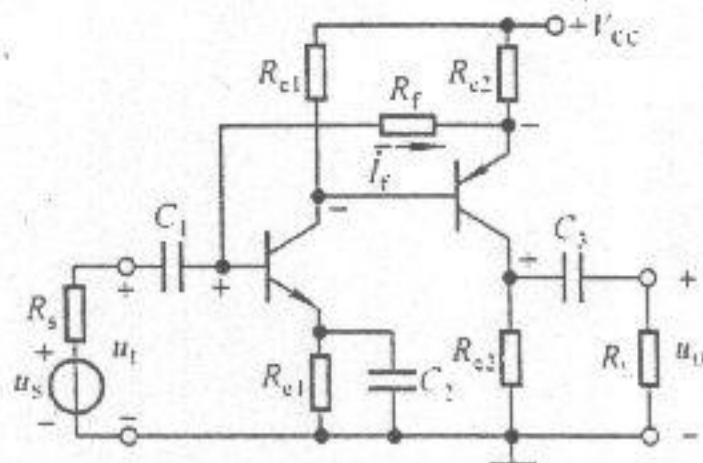
题五、7图



题五、8图



题五、9图

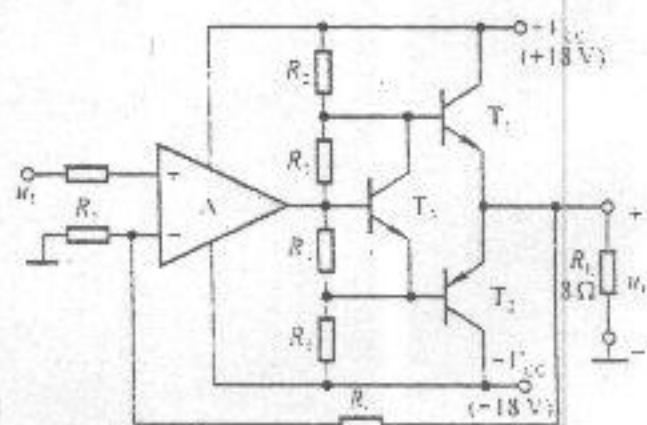


题五、10图

六、(本题 10 分)

功放电路 $|U_{CES}| = 2V, V_{CC} = 18V,$

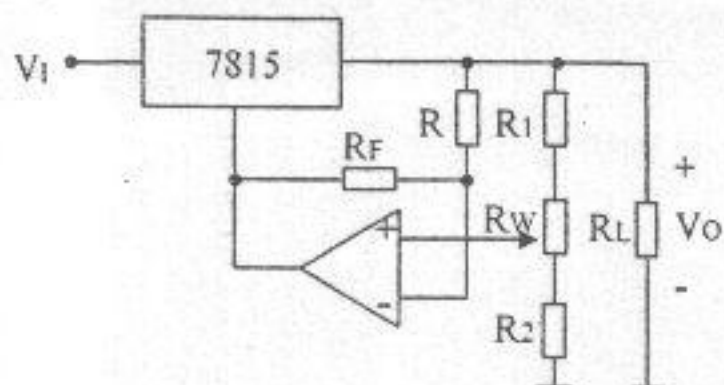
- 1、说明 R_3, R_4, T_3 的作用；
- 2、求最大负载功率；
- 3、写出放大倍数表达式。



题六图

七、(本题 10 分)

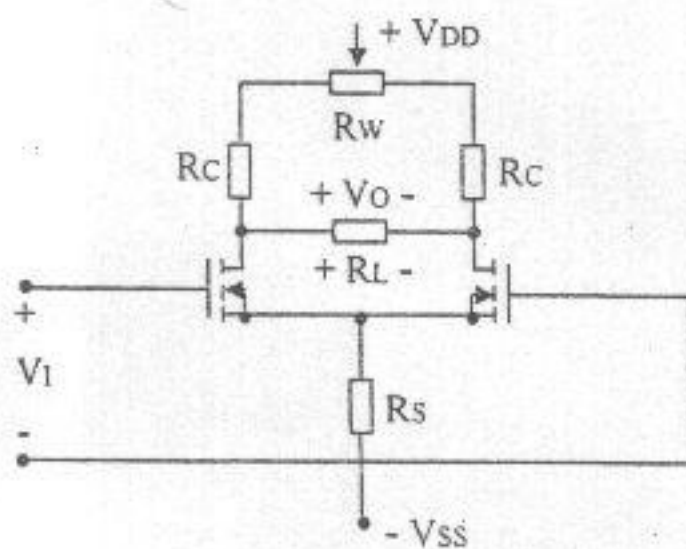
由集成三端稳压器构成的电路如图所示，写出 V_O 表达式。



题七图

八、(本题 10 分)

差分对管参数理想对称， g_m 已知， R_w 滑动端在任意位置，写出差模放大倍数 A_d 表达式；



题八图

九、(本题 10 分)

用卡诺图法化简下面二输出逻辑函数：

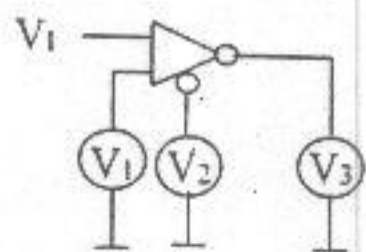
$$Z_1(ABCD) = \sum m(2, 4, 10, 12) + \sum d(3, 5, 11, 13);$$

$$Z_2(ABCD) = \sum m(2, 5, 10, 13), \quad \text{约束条件: } BC = 0;$$

十、(本题 10 分)

TTL 三态逻辑门输出高电平 3.6V, 输出低电平 0.3V, 阈值 1.4V, 写出电压表 V_1 、 V_2 、 V_3 指示值。

V_1 端	悬空	接 0.2V	接 3.5V	接 10K 电阻	接 100K 电阻
V_1					
V_2					
V_3					



题十图

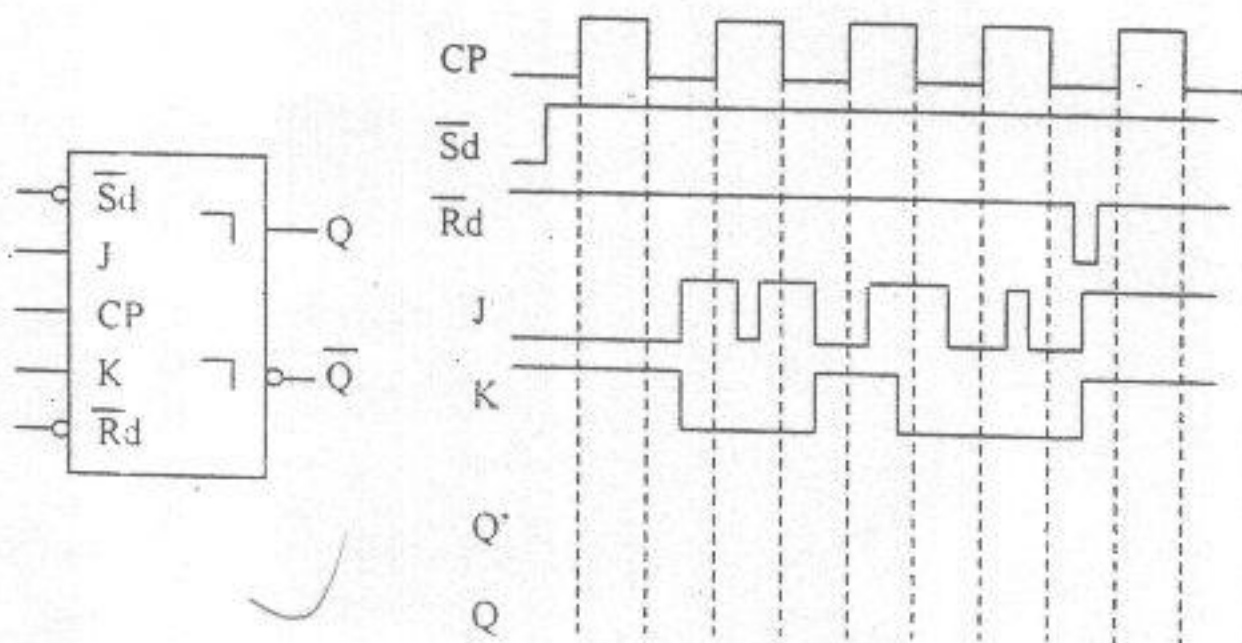
十一、(本题 10 分)

用八选一数据选择器实现四变量逻辑函数:

$$F(ABCD) = \sum m(0, 5, 8, 9, 10, 11, 14, 15)$$

十二、(本题 10 分)

主从 JK 触发器输入信号波形如图所示, 试画出主触发器输出波形 Q' 、从触发器输出波形 Q 。



题十二图

十三、(本题 10 分)

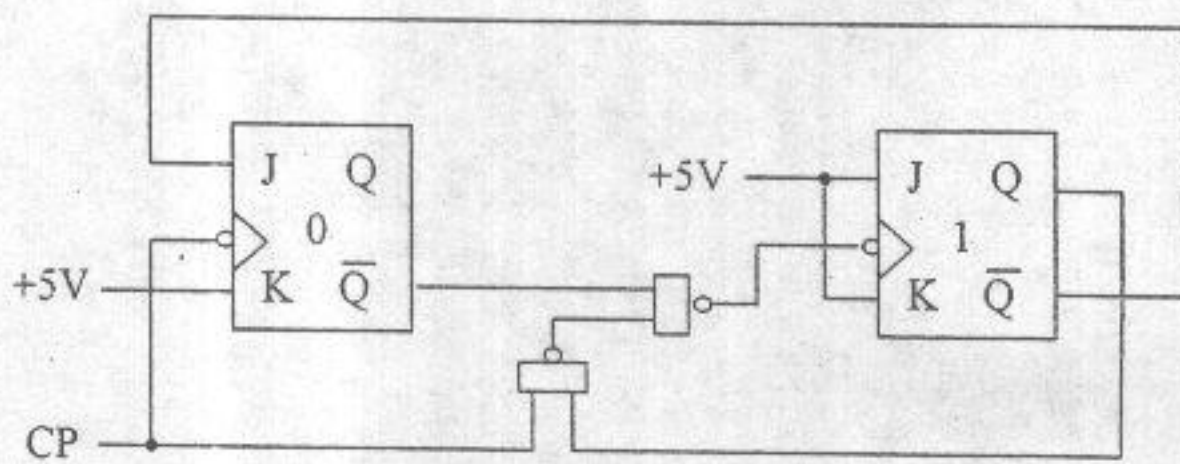
以中规模电路为核心器件设计一个序列信号发生电路，在 CP 信号作用下周期输出 01001101 序列信号。

十四、(本题 10 分)

用 4 片 4K×8 位 ROM 构成 8K×16 位 ROM，允许附加必要的译码电路。

十五、(本题 10 分)

分析下面时序电路。



题十五图