

北京航空航天大学 2006 年 硕士研究生入学考试试题

科目代码: 436

电子技术综合 (共 7 页)

考生注意: 所有答题务必书写在考场提供的答题纸上, 写在本试题单上的答题一律无效 (本题单不参与阅卷)。

自动控制原理部分 (共四大题, 总 60 分)

一、(本题 15 分) 已知单位负反馈系统的开环传递函数为

$$G(s) = \frac{K^*(s+2)}{(s+3)(s^2+2s+1)}$$

按步骤绘制 $K^* > 0$ 时闭环系统的根轨迹; 如果考虑 $K^* < 0$ 的情况, 作出图形说明根轨迹有何变化?

二、(本题 15 分) 已知单位负反馈系统的开环传递函数为

$$G(s) = \frac{K}{(0.28s+1)(0.01s+1)}$$

试设计简单形式的串联校正装置的传递函数 $G_c(s)$, 使校正后的系统满足静态速度误差系数为 $K_v = 10 \text{ (rad/s)}$, 相位裕量为 $\gamma > 25^\circ$ 。(对数幅频特性可以采用渐近线近似。)

三、(本题共 15 分, 第(1)小题 9 分, 第(2)小题 6 分)

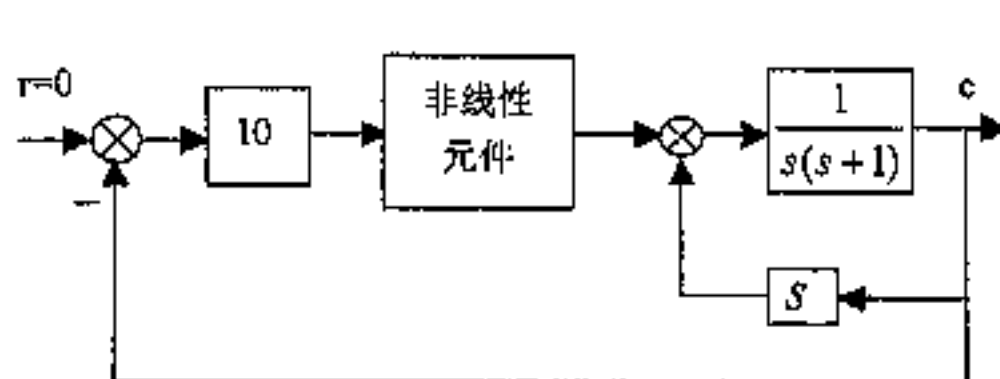
系统的状态方程和输出方程为

$$\dot{\mathbf{x}} = \begin{bmatrix} 5 & -4 \\ 6 & -5 \end{bmatrix} \mathbf{x} + \begin{bmatrix} 1 \\ 1 \end{bmatrix} u \quad y = [-3 \quad 2] \mathbf{x}$$

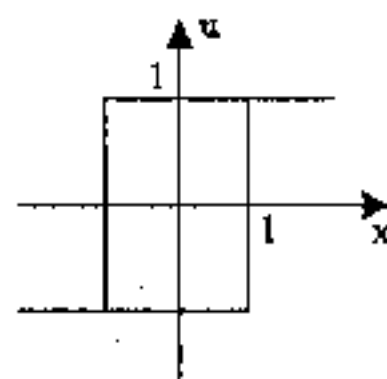
(1) 采用可逆线性变换 $\bar{\mathbf{x}} = \mathbf{P}\mathbf{x}$, 将系统化为对角规范型: (要求写出变换矩阵 \mathbf{P} , 否则不计成绩。)

(2) 给定两组希望闭环极点分别为 $\{-2, -1\}$ 和 $\{-3, -2\}$, 判断可否用状态反馈进行配置? 对可配置的闭环极点组, 求出状态反馈增益阵。

四、(本题 15 分)已知非线性系统结构图如题四图 a 所示。其中测速反馈接成了正反馈，非线性元件的输入量为 x ，输出量为 u ，其特性如题四图 b 所示。设系统输出量的初始条件为 $c(0) = 0.2, \dot{c}(0) = 0$ ，试在相平面 (x, \dot{x}) 上作出上述初始条件下的相轨迹，并分析系统的运动。



题四图(a)



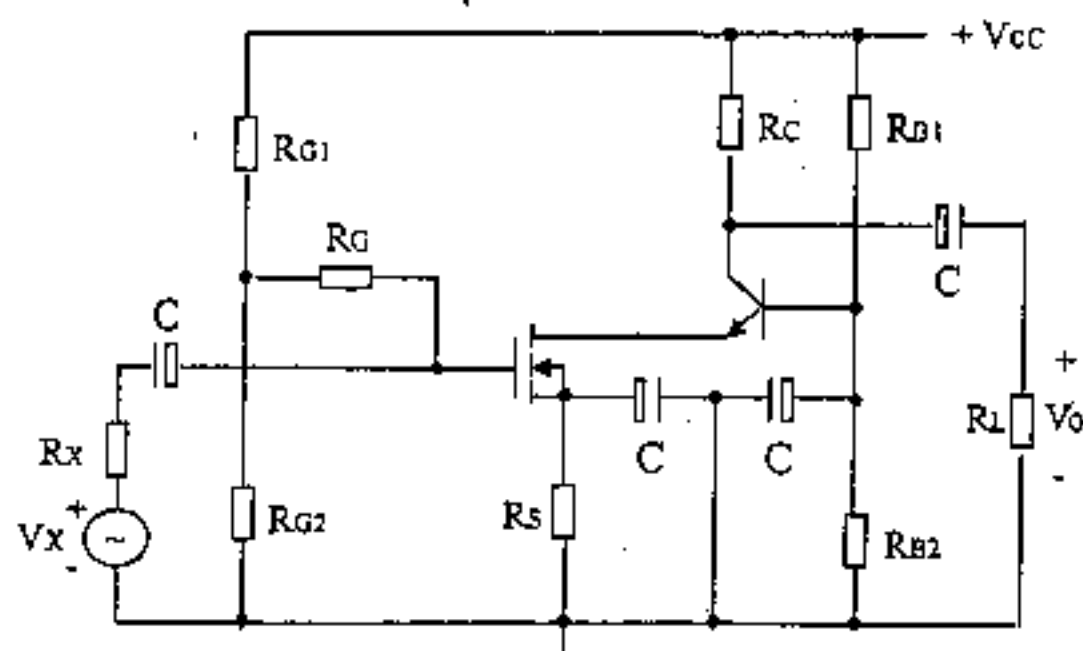
题四图(b)

模拟电路与数字电路部分 (共六大题, 总 60 分)

五、(本题 10 分)

放大电路如图所示, 已知 β 、 r_{be} 、 g_m , 所有电容容量相同。

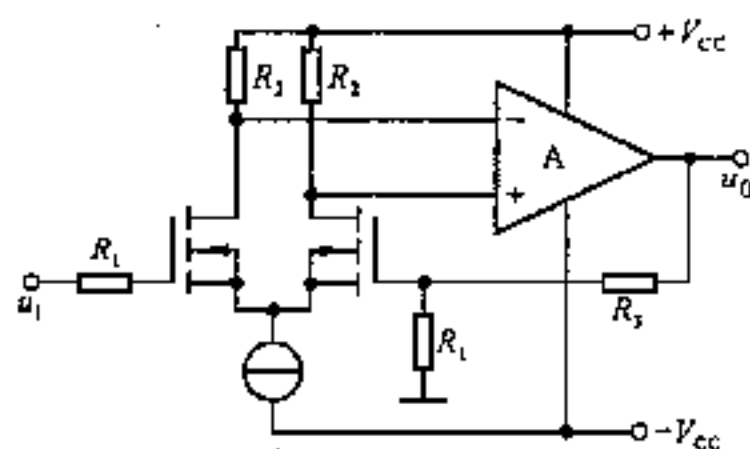
- 1、写出输入电阻、输出电阻表达式;
- 2、写出中频放大倍数 $A_m = V_o / V_x$ 表达式;
- 3、写出下限截止频率表达式。



题五图

六、(本题 10 分)

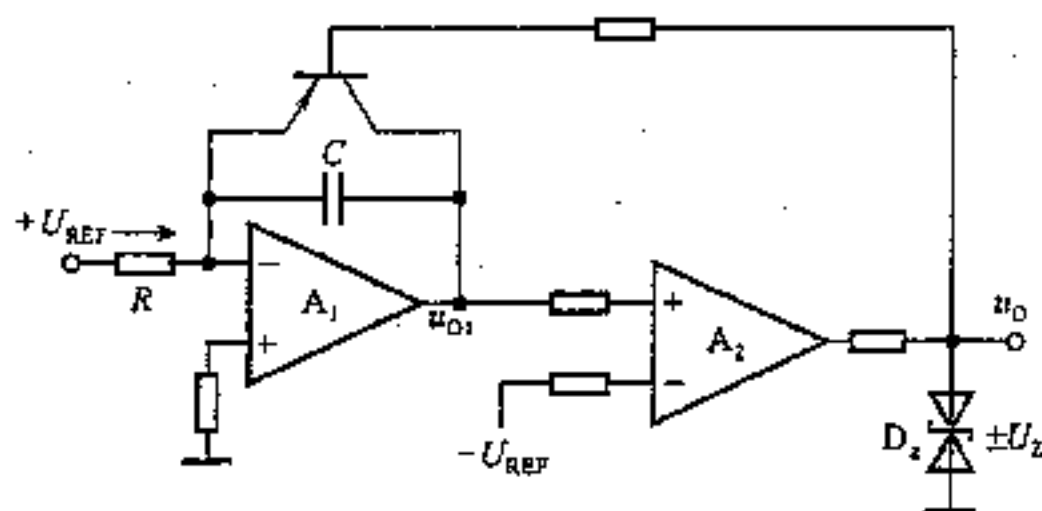
- 1、判断反馈放大电路的反馈极性与反馈组态；
- 2、写出反馈系数表达式；
- 3、写出电压放大倍数表达式；



题六图

七、(本题 10 分) 锯齿波发生电路如图。

- 1、画出 u_{O1} 、 u_O 波形图；
- 2、若三极管饱和导通时电容的放电时间可忽略，计算 u_O 周期 T 。



题七图

八、(本题 10 分)

- 1、一组合逻辑电路输入 A、B、C、D，输出 Z1、Z2，用卡诺图法化简。

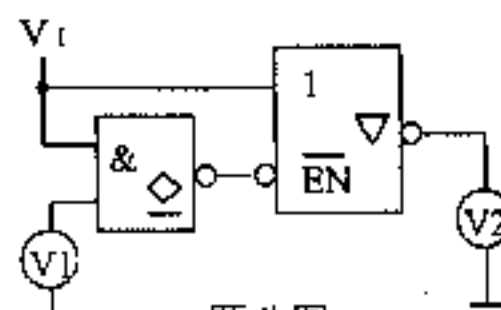
$$Z1(ABCD) = \sum m(0, 2, 7, 8, 10, 15) + \sum d(4, 12);$$

$$Z2(ABCD) = \sum m(0, 2, 4, 7, 8, 10, 12, 15), \text{ 约束: } B\bar{C}\bar{D} = 0;$$

- 2、TTL 逻辑门输出高电平 3.6V，输出低电平 0.3V，阈值 1.4V。写 TTL 三

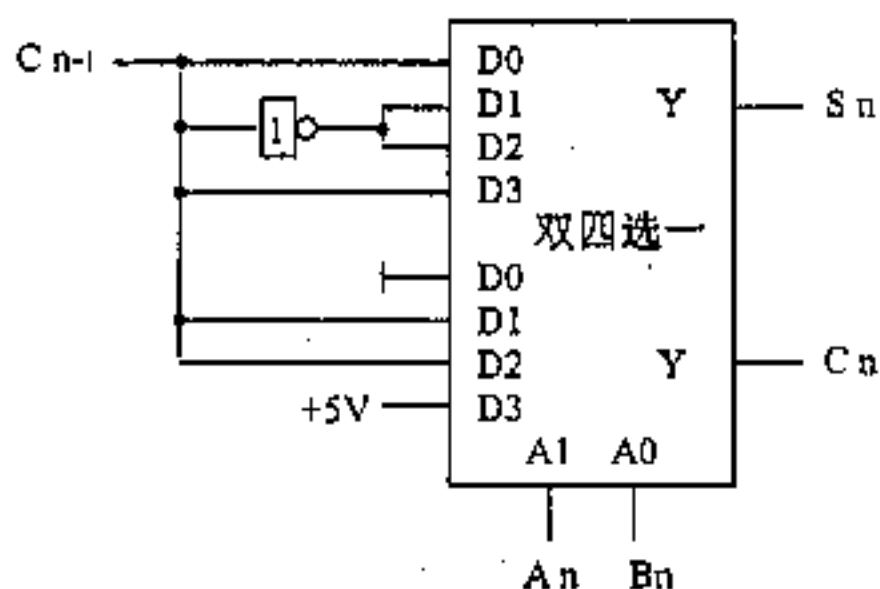
态门、OC 门电路中电压表 V_1 、 V_2 指示值。

V ₁ 端	悬空	接 0.2V	接 3.5V	接 10K 电阻	接 100K 电阻
V ₁					
V ₂					



题八图

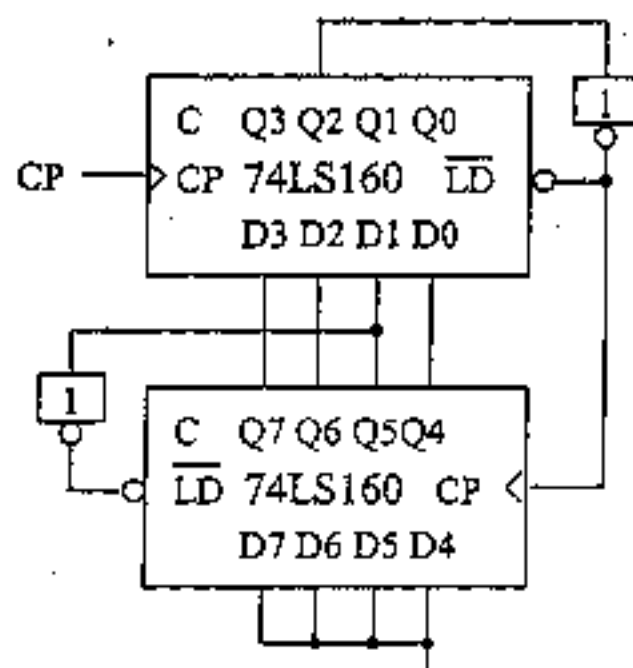
九、(本题 10 分)分析由双四选一数据选择器构成的组合电路所实现的逻辑功能。



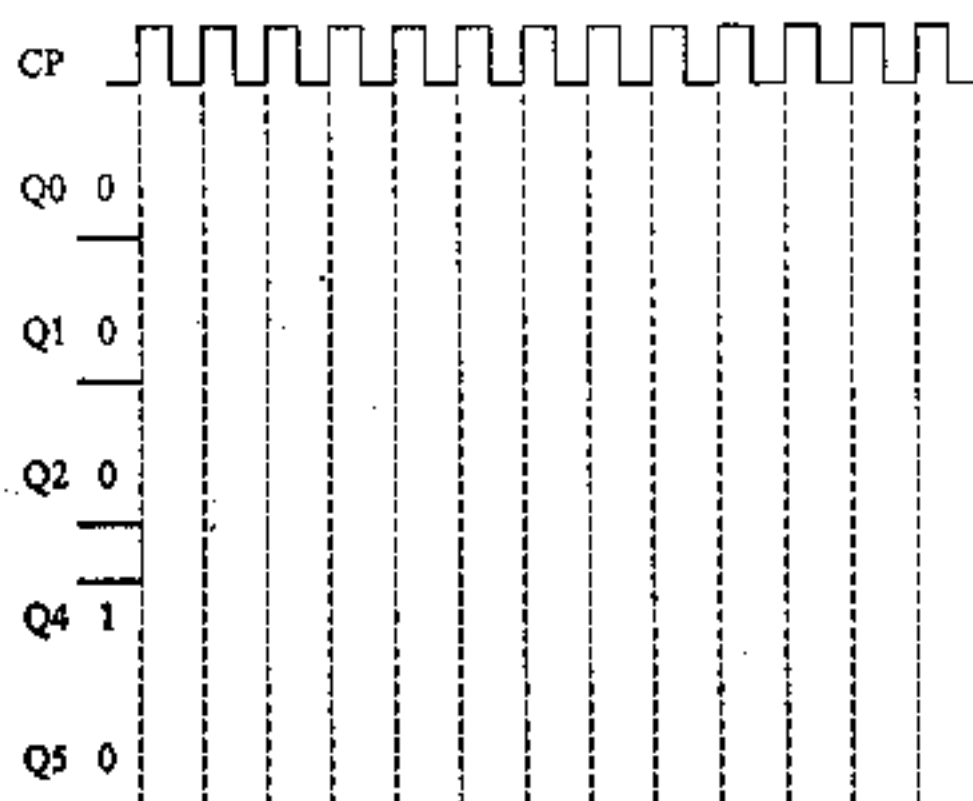
题九图

十、(本题 10 分)由十进制计数器 74LS160 构成如下时序电路，初态如图。

- 1、画出 Q₀、Q₁、Q₂、Q₄、Q₅ 时序图；
- 2、两个 74LS160 共构成几进制计数器？



题十图 (a)



题十图 (b)

微机原理及接口技术部分（共三大题，总 30 分）

十一、填空题（本题共 10 分，每个空各 1 分）。

- 1、已知 $[X]_{\text{补}} = 00111010\text{B}$ ，则 $[X]_{\text{原}} = \underline{\text{①}}$ ， $[-2X]_{\text{补}} = \underline{\text{②}}$ 。
- 2、设 $\text{AL} = 50\text{H}$ ，则执行 $\text{ADD AL}, 3\text{AH}$ 指令后标志寄存器 $\text{OF} = \underline{\text{①}}$ ，
 $\text{CF} = \underline{\text{②}}$ 。
- 3、8086CPU 可以分成 ① 和 ② 两部分同时工作，其中 ③ 完成将逻辑地址转换成物理地址的过程。
- 4、在代码段中偏移地址为 2000H 的单元中存有一条两字节无条件短转移指令代码，若该指令第 2 字节代码为 0C8H ，则转移的目标偏移地址为 ①。
- 5、输入/输出的方式有无条件输入/输出方式、①、中断方式和 ② 方式。

十二、简答题（本题共 12 分，每小题 3 分）

1、按如下要求各写出一条指令：

- ① 源操作数为寄存器间接寻址方式。
- ② 若运算结果非负则转至 NEXT 地址。
- ③ 将 AL 寄存器的值的低 4 位按位求反。

2、设数据段定义如下：

```
DATA SEGMENT
    ORG 100H
    DA1 DB 'AB'
    DA2 DW 1122H, 3344H
    DA3 DD 10 DUP (?)
DATA ENDS
```

则执行下面一段程序后，AX = ①，BX = ②，DX = ③。

```
LEA BX, DA2
MOV AX, [BX+1]
MOV DL, SIZE DA1
MOV DH, TYPE DA3
```

3、设有如下程序：

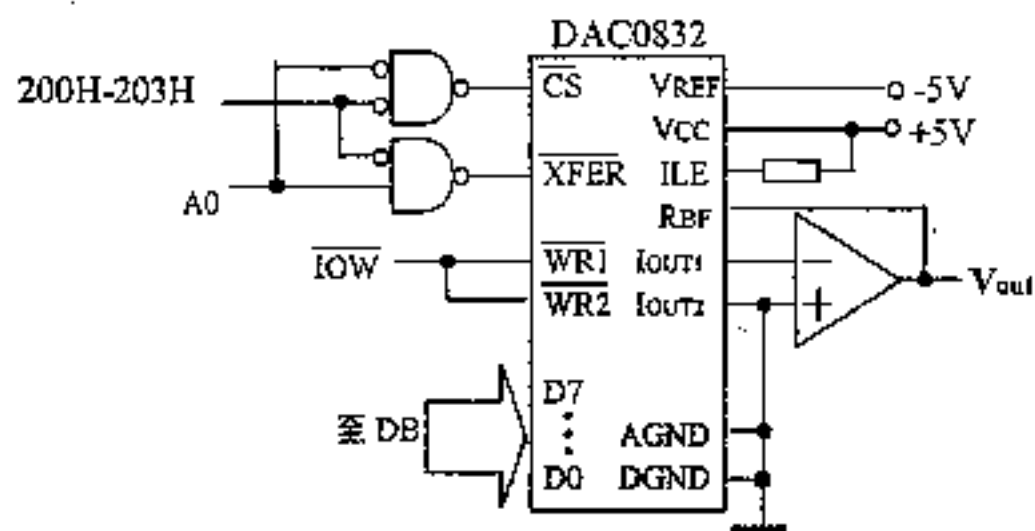
```
NEXT:
    .....
    TEST AL, 1
    JNZ NEXT
```

在程序编译过程中，屏幕提示：转移地址 NEXT 超过了指令允许的转移范围。试对程序进行适当修改，使程序能根据题意转移到 NEXT 地址。

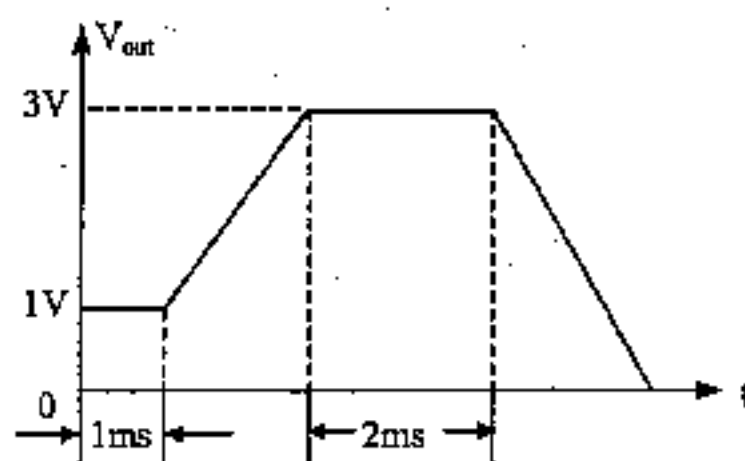
4、设有 2 片 8259A 接成主从级联方式，主片设为特殊完全嵌套方式，从片设为一般完全嵌套方式，从片的 INT 引脚接至主片的 IR5 引脚。写出主、从片 8259A 引脚的中断优先级顺序。

十三、(本题共 8 分)

DAC0832 与 8086 CPU 接口电路如图 (a) 所示, 假设有 1ms 延时子程序 DELAY, 试根据该电路编写输出如图 (b) 所示波形的程序。



题十三图 (a)



题十三图 (b)

北京航空航天大学 2006 年

硕士研究生入学考试试题 科目代码: 436

电子技术综合 (共 7 页)

考生注意: 所有答题务必书写在考场提供的答题纸上, 写在本试题单上的答题一律无效 (本题单不参与阅卷)。

自动控制原理部分 (共四大题, 总 60 分)

一、(本题 15 分) 已知单位负反馈系统的开环传递函数为

$$G(s) = \frac{K^*(s+2)}{(s+3)(s^2+2s+1)}$$

按步骤绘制 $K^* > 0$ 时闭环系统的根轨迹; 如果考虑 $K^* < 0$ 的情况, 作出图形说明根轨迹有何变化?

二、(本题 15 分) 已知单位负反馈系统的开环传递函数为

$$G(s) = \frac{K}{(0.28s+1)(0.01s+1)}$$

试设计简单形式的串联校正装置的传递函数 $G_c(s)$, 使校正后的系统满足静态速度误差系数为 $K_v = 10 \text{ (rad/s)}$, 相位裕量为 $\gamma > 25^\circ$ 。(对数幅频特性可以采用渐近线近似。)

三、(本题共 15 分, 第(1)小题 9 分, 第(2)小题 6 分)

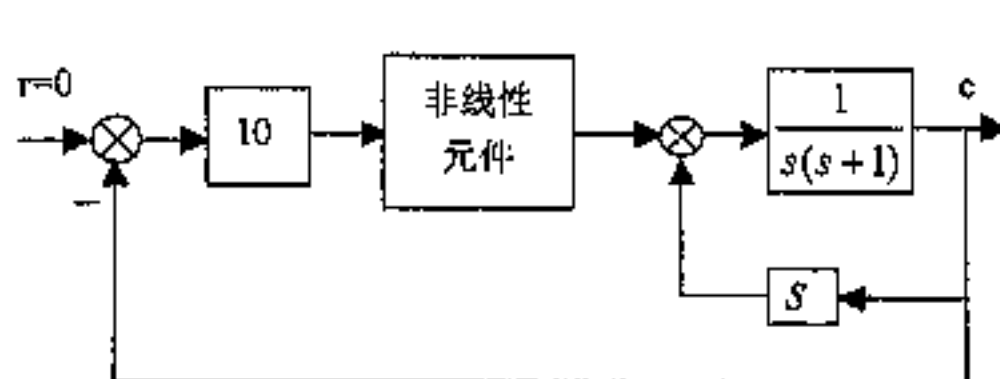
系统的状态方程和输出方程为

$$\dot{\mathbf{x}} = \begin{bmatrix} 5 & -4 \\ 6 & -5 \end{bmatrix} \mathbf{x} + \begin{bmatrix} 1 \\ 1 \end{bmatrix} u \quad y = [-3 \quad 2] \mathbf{x}$$

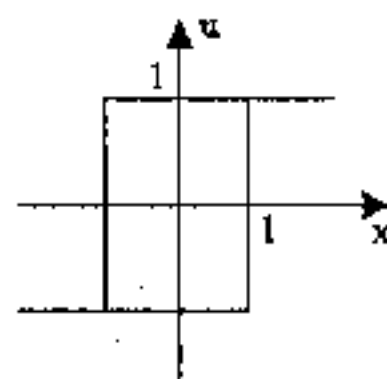
(1) 采用可逆线性变换 $\bar{\mathbf{x}} = \mathbf{P}\mathbf{x}$, 将系统化为对角规范型: (要求写出变换矩阵 \mathbf{P} , 否则不计成绩。)

(2) 给定两组希望闭环极点分别为 $\{-2, -1\}$ 和 $\{-3, -2\}$, 判断可否用状态反馈进行配置? 对可配置的闭环极点组, 求出状态反馈增益阵。

四、(本题 15 分)已知非线性系统结构图如题四图 a 所示。其中测速反馈接成了正反馈，非线性元件的输入量为 x ，输出量为 u ，其特性如题四图 b 所示。设系统输出量的初始条件为 $c(0) = 0.2, \dot{c}(0) = 0$ ，试在相平面 (x, \dot{x}) 上作出上述初始条件下的相轨迹，并分析系统的运动。



题四图(a)



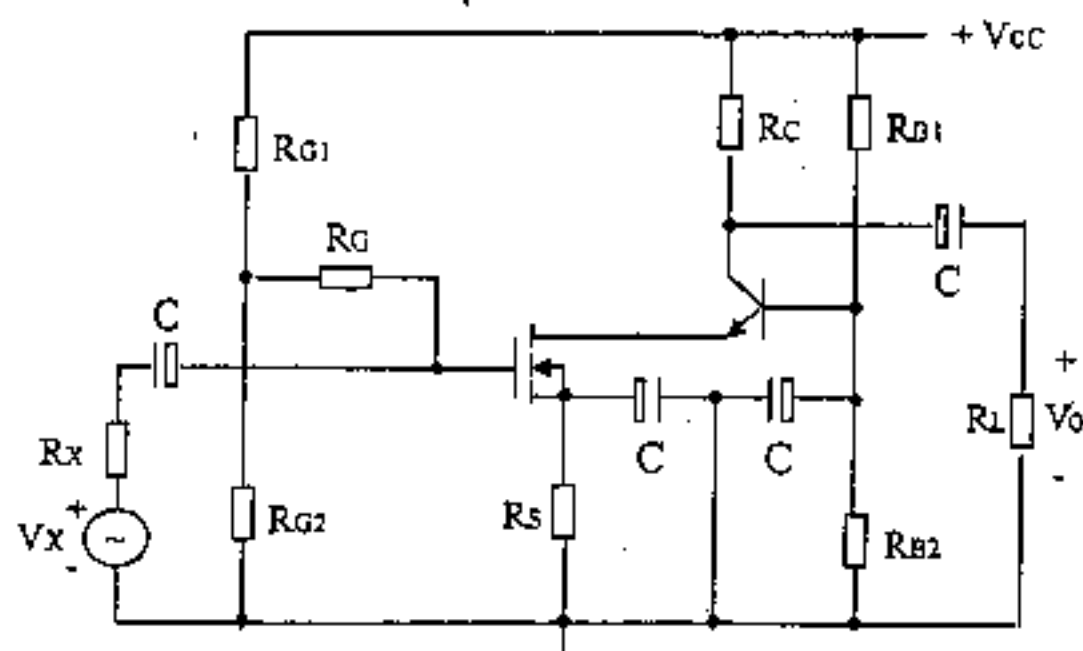
题四图(b)

模拟电路与数字电路部分 (共六大题, 总 60 分)

五、(本题 10 分)

放大电路如图所示, 已知 β 、 r_{be} 、 g_m , 所有电容容量相同。

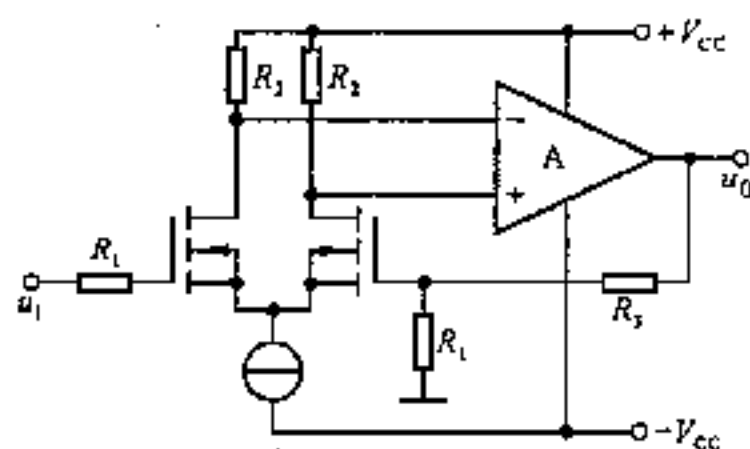
- 1、写出输入电阻、输出电阻表达式;
- 2、写出中频放大倍数 $A_m = V_o / V_x$ 表达式;
- 3、写出下限截止频率表达式。



题五图

六、(本题 10 分)

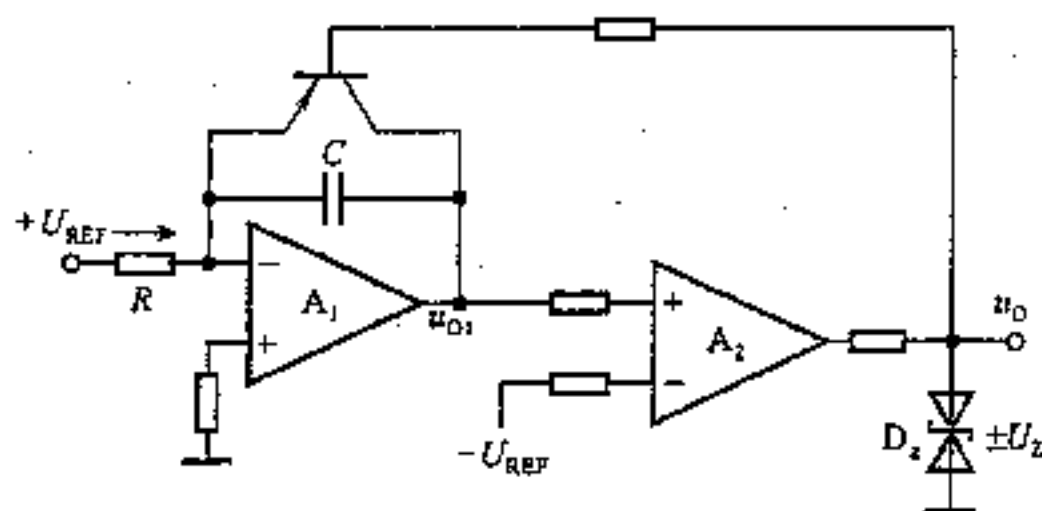
- 1、判断反馈放大电路的反馈极性与反馈组态；
- 2、写出反馈系数表达式；
- 3、写出电压放大倍数表达式；



题六图

七、(本题 10 分) 锯齿波发生电路如图。

- 1、画出 u_{O1} 、 u_O 波形图；
- 2、若三极管饱和导通时电容的放电时间可忽略，计算 u_O 周期 T 。



题七图

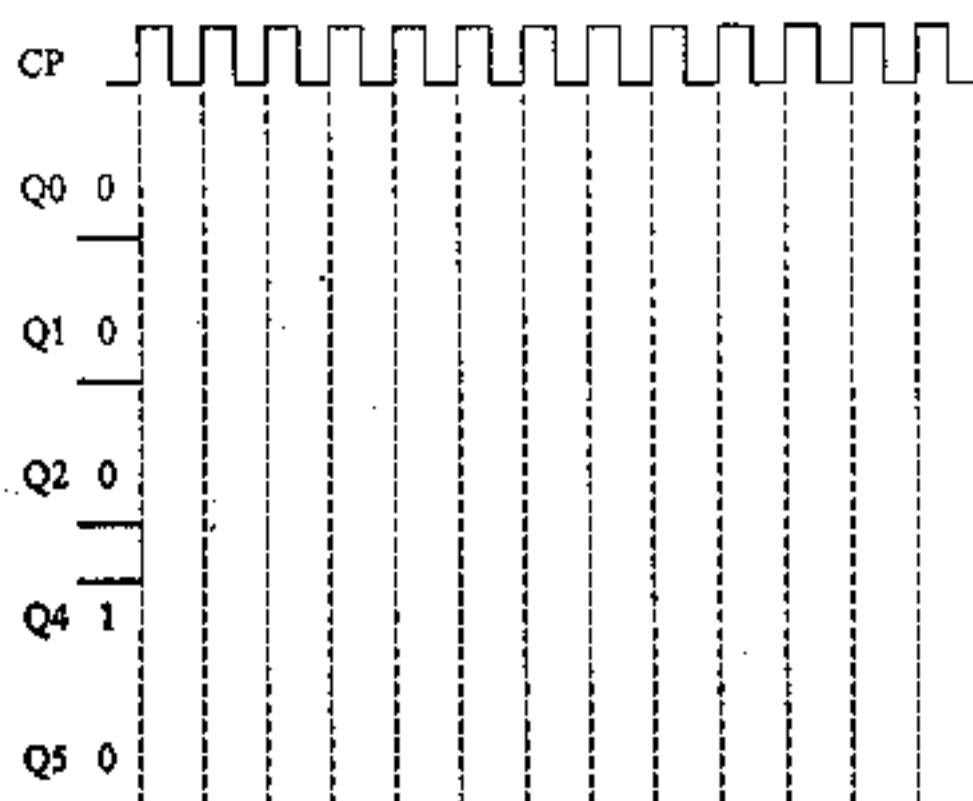
八、(本题 10 分)

- 1、一组合逻辑电路输入 A、B、C、D，输出 Z1、Z2，用卡诺图法化简。

$$Z1(ABCD) = \sum m(0, 2, 7, 8, 10, 15) + \sum d(4, 12);$$

$$Z2(ABCD) = \sum m(0, 2, 4, 7, 8, 10, 12, 15), \text{ 约束: } B\bar{C}\bar{D} = 0;$$

- 2、TTL 逻辑门输出高电平 3.6V，输出低电平 0.3V，阈值 1.4V。写 TTL 三态门、OC 门电路中电压表 V_1 、 V_2 指示值。



题十图 (b)

微机原理及接口技术部分（共三大题，总 30 分）

十一、填空题（本题共 10 分，每个空各 1 分）。

- 1、已知 $[X]_{\text{补}} = 00111010\text{B}$ ，则 $[X]_{\text{原}} = \underline{\text{①}}$ ， $[-2X]_{\text{补}} = \underline{\text{②}}$ 。
- 2、设 $\text{AL} = 50\text{H}$ ，则执行 $\text{ADD AL}, 3\text{AH}$ 指令后标志寄存器 $\text{OF} = \underline{\text{①}}$ ，
 $\text{CF} = \underline{\text{②}}$ 。
- 3、8086CPU 可以分成 ① 和 ② 两部分同时工作，其中 ③ 完成将逻辑地址转换成物理地址的过程。
- 4、在代码段中偏移地址为 2000H 的单元中存有一条两字节无条件短转移指令代码，若该指令第 2 字节代码为 0C8H ，则转移的目标偏移地址为 ①。
- 5、输入/输出的方式有无条件输入/输出方式、①、中断方式和 ② 方式。

十二、简答题（本题共 12 分，每小题 3 分）

1、按如下要求各写出一条指令：

- ① 源操作数为寄存器间接寻址方式。
- ② 若运算结果非负则转至 NEXT 地址。
- ③ 将 AL 寄存器的值的低 4 位按位求反。

2、设数据段定义如下：

```
DATA SEGMENT
    ORG 100H
    DA1 DB 'AB'
    DA2 DW 1122H, 3344H
    DA3 DD 10 DUP (?)
DATA ENDS
```

则执行下面一段程序后，AX = ①，BX = ②，DX = ③。

```
LEA BX, DA2
MOV AX, [BX+1]
MOV DL, SIZE DA1
MOV DH, TYPE DA3
```

3、设有如下程序：

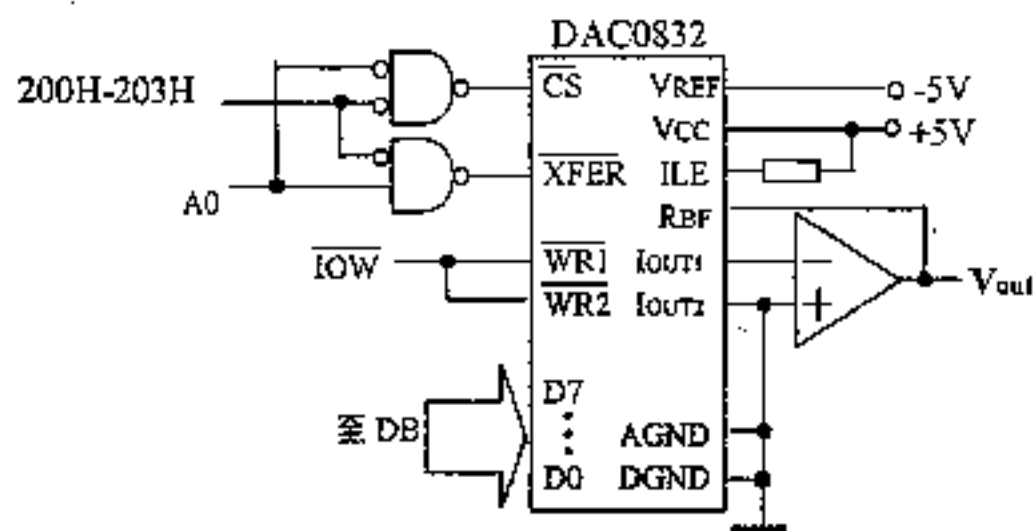
```
NEXT:
    .....
    TEST AL, 1
    JNZ NEXT
```

在程序编译过程中，屏幕提示：转移地址 NEXT 超过了指令允许的转移范围。试对程序进行适当修改，使程序能根据题意转移到 NEXT 地址。

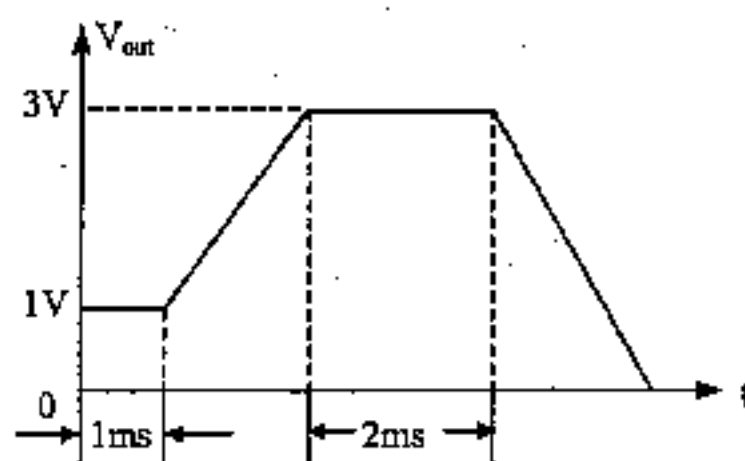
4、设有 2 片 8259A 接成主从级联方式，主片设为特殊完全嵌套方式，从片设为一般完全嵌套方式，从片的 INT 引脚接至主片的 IR5 引脚。写出主、从片 8259A 引脚的中断优先级顺序。

十三、(本题共 8 分)

DAC0832 与 8086 CPU 接口电路如图 (a) 所示, 假设有 1ms 延时子程序 DELAY, 试根据该电路编写输出如图 (b) 所示波形的程序。



题十三图 (a)



题十三图 (b)