

2000年北京理工大学模拟与数字电路考研试题

考研加油站收集整理 <http://www.kaoyan.com>

请统考考生答一、二、三、五、六、七、八、九、十题

请单独考生答一、二、四、五、六、七、八、九、十题

一. 填空:(统考考生第6题必作, 其余任选7个空, 共12个空, 每空1分, 共12分; 单独考生任选12个空, 每空1分, 共12分)

1. 测得某NPN管的 $U_{BE} = 0.7V$, $U_{CE} = 0.2V$, 由此可判定它工作在____
(1)____区。

2. 场效应管(FET)的输入电阻比双极型晶体管(BJT)的输入电阻____(2)____。

3. 为保证BJT共发射极放大器不产生削波失真, 并要求在 $2k\Omega$ 的负载上有不小于 $2V$ 的信号电压幅度, 在选择静态工作点时, 就应保证 $|I_{CQ}| > \underline{\hspace{1cm}} (3) \underline{\hspace{1cm}}$, $|U_{CEQ}| > \underline{\hspace{1cm}} (4) \underline{\hspace{1cm}}$ 。(已知 $I_{CEO} = 10\mu A$, $U_{CE(sat)} = 0.2V$ 。)

4. 某放大器在输入信号电压为 $1mV$ 时, 输出信号电压为 $1V$ 。当加上电压串联负反馈后, 为了得到同样的输出信号电压, 需把输入信号电压增加到 $10mV$ 。所以, 所加反馈的反馈系数为____(5)____。

5. 欲减小多级放大电路的输出电阻, 可供选择的措施有____(6)____及____(7)____。

6. 已知某放大器的幅频波特图如图1所示, 由图可知, 它是有____(8)____个极点的____(9)____通系统。若加上 $B = 10^{-2}$ 的负反馈, 则其相位裕量为____(10)____, 因此, 它是一个____(11)____的系统。如果要求至少有 45° 的相位裕量, 则反馈系数 B 的最大值是____(12)____。

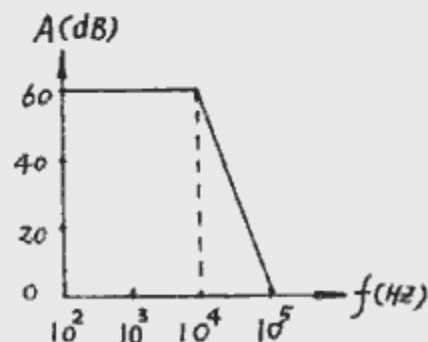


图 1

7. 提高差分放大器共模抑制比的最基本办法是 (13) 和 (14)。
8. 乙类放大器中每个晶体管的导通角是 (15)，该放大器的理想效率为 (16)，每个管子所承受的最大电压为 (17)。
9. 同相比运算放大器的输入电阻比反相比运算放大器的输入电阻 (18)。

二. 计算 (20 分)

1. (10 分) 电路如图 2 所示, 已知 $\beta=100$, $r_{bb}=0$, $U_{BE}=0.7V$, C_1 、 C_2 、 C_3 均可视为交流短路。求:

- (1) 静态工作点 I_{CQ} 和 U_{CEQ} ;
- (2) 从①端输入, ②端输出的电压增益、输入电阻和输出电阻;
- (3) 从①端输入, ③端输出的电压增益和输出电阻。

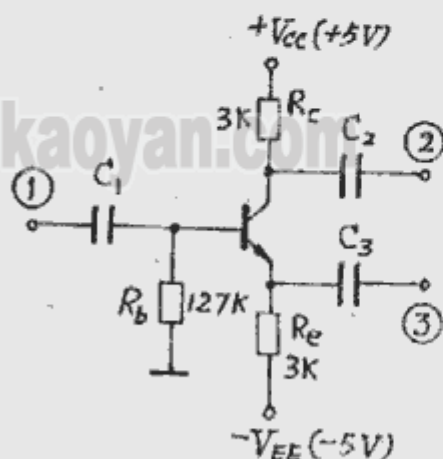


图 2

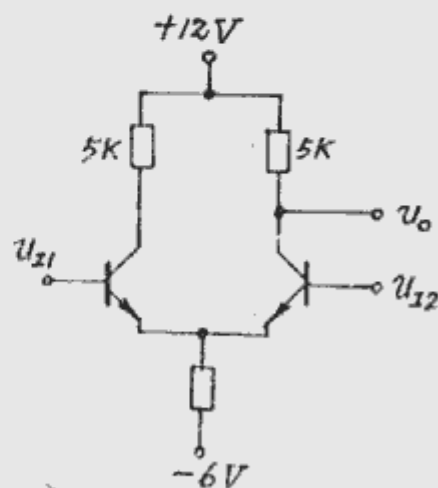


图 3

2. (5 分) 电路如图 3 所示, 已知 $\beta=50$, $r_{be}=5k\Omega$, 试求其共模抑制比。

3. (5分) 在深负反馈条件下求图4所示电路的闭环电压增益。
 $C_1 \sim C_4$ 均可视为交流短路。

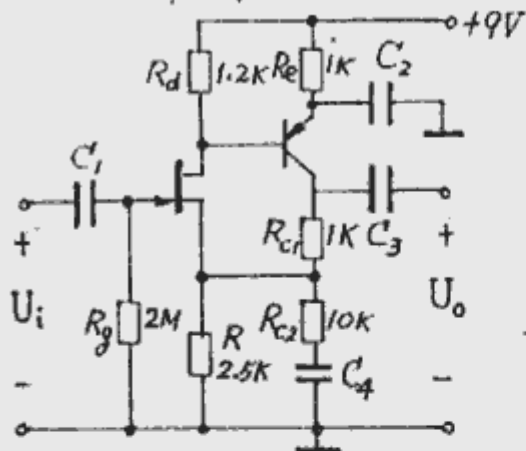


图4

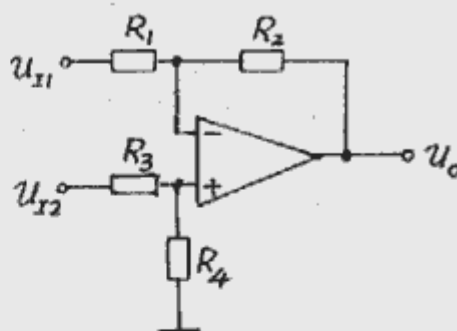


图5

三. 故障分析 (6分, 统考考生作)

电路如图5所示, 已知 $R_1 = R_2 = R_3 = R_4$, 假设运放是理想的。当 $u_{I1} = u_{I2} = 1V$ 时, 测得 $u_o = 1V$ 。

你认为这现象正常吗? 若不正常, 请分析是哪个电阻可能(有两种可能)出现了开路或短路故障(注: 运放本身并未损坏)。

四. 电路分析 (6分, 单独考生作)

电路如图6所示, 已知 $R_1 = R_2 = R_3 = R_4$, 并假设运放是理想的, 试求其电压增益 u_o / u_i 。

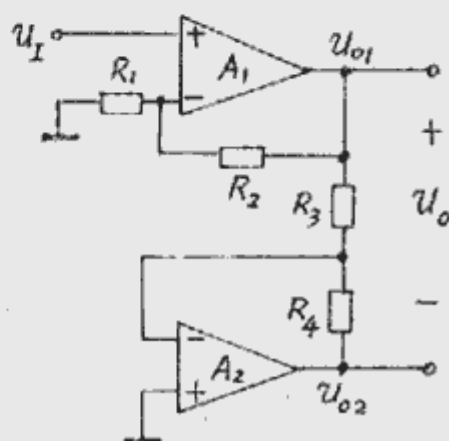


图6

五. 作图 (12分)

- (6分) 电路及两个输入信号的波形如图 7 所示。设 $u_o(0) = 0$ ，请在理想条件下画出 u_o 的相应波形。
- (6分) 电路如图 8 所示，图中 T 为光敏三极管，其集电极电流 i_c 随光照强度变化。试在理想条件下画出表示 u_o 与 i_c 关系的传输特性。

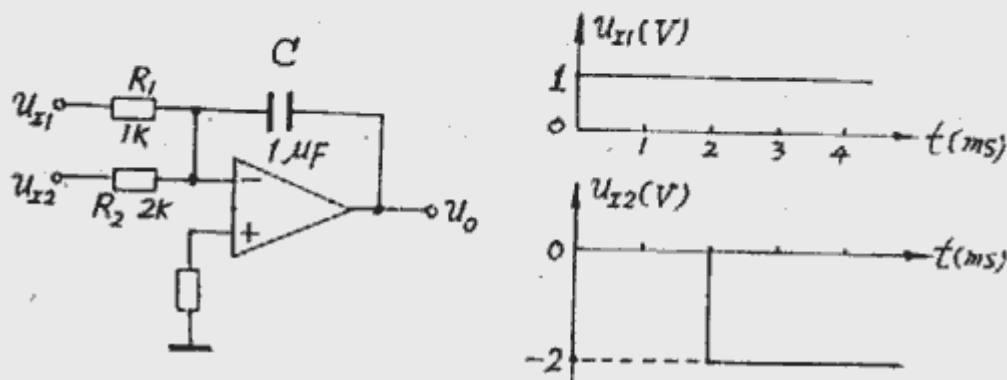


图 7

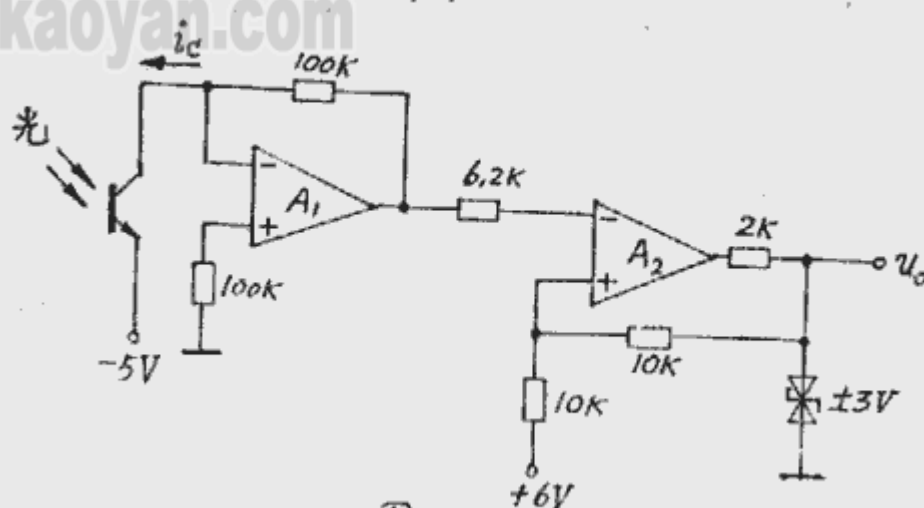


图 8

六. 填空 (10 分, 每空 1 分):

1. 已知某 TTL 门电路的部分参数为: 最小输出高电平 $V_{OHmin}=2.7V$, 最大输出低电平 $V_{OLmax}=0.5V$, 开门电平 $V_{on}(V_{Hmin})=2V$, 关门电平 $V_{off}(V_{Hmax})=0.8V$, 则其高电平噪声容限 $V_{NH} = \underline{\hspace{1cm}} (1) \underline{\hspace{1cm}}$.
2. J-K 触发器有 CMOS 主从式、TTL 主从式、负边沿式, 其中抗干扰能力最差的是 $\underline{\hspace{1cm}} (2) \underline{\hspace{1cm}}$.
3. 若将维持-阻塞 D 触发器转换成 T 触发器, 则其转换逻辑应为 $D = \underline{\hspace{1cm}} (3) \underline{\hspace{1cm}}$; 如果由该 D 触发器组成 2 位二进制异步加法计数器, 则其高位触发器的时钟端 CLK 应接低位触发器的 $\underline{\hspace{1cm}} (4) \underline{\hspace{1cm}}$ 端.
4. 如果欲将频率为 20kHz 的正弦波变成频率为 2kHz 的对称方波, 则可用 $\underline{\hspace{1cm}} (5) \underline{\hspace{1cm}}$ 器和 $\underline{\hspace{1cm}} (6) \underline{\hspace{1cm}}$ 码计数器串接而成.
5. 某单稳态触发器由 555 定时器组成, 若其定时电容 $C = 0.1 \mu F$, 定时电阻 $R = 10k\Omega$, 输入信号为脉冲宽度 $T_w = 50 \mu S$, 周期 $T = 1500 \mu S$ 的负脉冲, 则单稳的宽度为 $\underline{\hspace{1cm}} (7) \underline{\hspace{1cm}} \mu S$, 输出信号的周期为 $\underline{\hspace{1cm}} (8) \underline{\hspace{1cm}} \mu S$.
6. 某数据采集系统的输入模拟信号之最高频率分量为 10kHz, 若要求模数转换器 ADC 的分辨率小于千分之一, 则 ADC 应选 $\underline{\hspace{1cm}} (9) \underline{\hspace{1cm}}$ 位, ADC 的转换时间应为 $\underline{\hspace{1cm}} (10) \underline{\hspace{1cm}} \mu S$ (数字前应注明是小于, 还是大于).

七. (10 分) 化简与实现函数:

1. (6 分) 化简函数为最简或-与式, 已知函数为:

$$F(A, B, C, D) = B(A \oplus \bar{D}) + \bar{A}\bar{B}\bar{D} + BC$$

$$\text{约束条件: } ABC + ABD = 0$$

2. (4 分) 变换函数表达式, 并用 3 路 2 输入与或非门实现之, 已知函数式为:

$$Y = \bar{X}_2 \bar{X}_1 + \bar{X}_3 \bar{X}_1$$

注意: 不用的输入端应作逻辑处理, 接 H 或 L.

八. (10 分) 用可编程逻辑阵列 PLA 设计一个组合电路, 该电路的输出函数表达式如下:

$$Y_1(A, B, C) = \sum m(3, 4, 6)$$

$$Y_2(A, B, C) = \prod M(1, 4, 6)$$

$$Y_3 = (A + C)(A + B)$$

要求:

1. 用卡诺图化简函数 (注意公共项的利用);
2. 写出与项和或项;
3. 画出用 PLA 实现之阵列图。

九. (10 分) 设计一个序列检测器, 用来检测串行输入码, 当连续 4 个输入码中有 3 个 0, 且最前面的两个输入码均为 0 时, 对应最后一个码, 输出为 1, 其它情况下输出为 0。注意序列码允许重叠, 例如:

X 00001000101011001001110

Y 00001100110000000100000

只需要求出最简状态图和最简状态表, 不要求编码和实现, 但必须先设状态。

十. (10 分) 图 9 由 74194、74153 和与非门组成。74194 是通用移位寄存器, 图中, A~D 为并行数码输入端, QA~QD 为并行数码输出端, SLSI 为左移串行输入端, SRSI 为右移串行输入端, 其它各端功能见表 1; 74153 是双 4-1MUX (数据选择器), 地址 (选择) 输入端 B, A 公用, 其函数表达式为:

$$Y = \overline{G}\overline{N}(\overline{B}\overline{A}C_0 + \overline{B}AC_1 + B\overline{A}C_2 + BAC_3)$$

试分析该电路, 要求:

1. 画出 Q3、Q2、Q1 的完整状态转换图;
2. 写出 Y1、Y2 的输出函数表达式;
3. 画出在 7 个时钟作用下, Y1、Y2 与 CP 的同步波形。

表 1

| NO | CLR _N | S ₁ S ₀ | CLK | 功能 |
|----|------------------|-------------------------------|-----|------|
| 1 | L | X X | X | 清除 |
| 2 | H | L L | X | 保持 |
| 3 | H | L H | ↑ | 右移 |
| 4 | H | H L | ↑ | 左移 |
| 5 | H | H H | ↑ | 并行置数 |
| 6 | H | X X | L | 保持 |

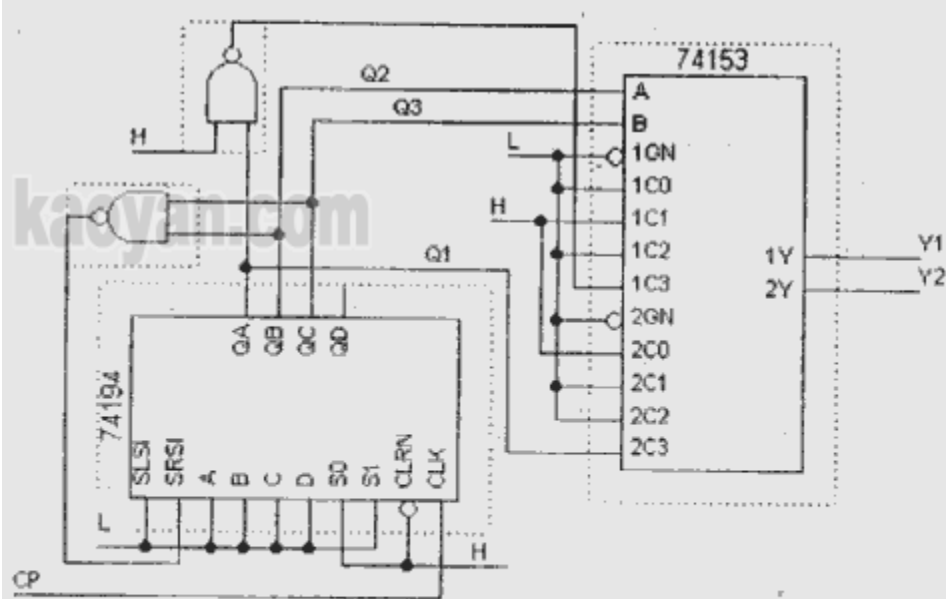


图 9