

适用专业：080901 物理电子学

第一部分 考试形式和试卷结构

一、试卷满分及考试时间

试卷满分为 150 分，考试时间为 180 分钟。

二、答题方式

答题方式为闭卷、笔试。

三、试卷的内容结构

数制与代码	< 6%
逻辑门电路	10%~15%
逻辑代数	14%~18%
组合逻辑电路	15%~20%
触发器	10%~15%
时序逻辑电路	15%~20%
脉冲波形的产生与变换	8%~12%
数字系统设计基础	8%~12%
数模与模数转换	<6%
RAM 与 ROM 的结构与原理	<6%

四、试卷的题型结构

填空题	20%
分析题	80%

第二部分 考察的知识及范围

1、逻辑门电路

半导体二极管的开关特性、半导体三极管的开关特性、三极管非门、二极管与门、二极管或门、TTL 与非门、TTL 或非门的电气特性、其他类型 TTL 门电路、TTL 电路的改进、NMOS 门电路、CMOS 门电路、CMOS 门电路的特点、CMOS 三态门和传输门

2、逻辑代数

逻辑代数的基本定律、逻辑代数的基本规则、逻辑代数的常用公式、最小项和标准与或式、最大项和标准或与式、逻辑函数的最简形式、逻辑函数的公式化简法、卡诺图、用卡诺图表示逻辑函数、用卡诺图化简逻辑函数、具有随意项的逻辑函数化简、引入变量真值表和卡诺图

3、组合逻辑电路

组合逻辑电路分析、普通编码器、优先编码器、二进制译码器、码制变换译码器、显示译码器、数据分配器和数据选择器、数值比较器、半加器、全加器、超前进位加法器、竞争与冒险的产生、竞争冒险的分类与判别、消除冒险现象的方法

4、触发器

与非门基本 RS 触发器、时钟(同步)RS 触发器、时钟(同步)D 触发器、时钟(同步)JK 触发器、时钟(同步)触发器的空翻、主从 JK 触发器、维持阻塞结构正边沿触发器、利用传输延迟时间的负边沿触发器、触发器的状态图和激励表、各种触发器间的转换

5、时序逻辑电路

时序逻辑电路的分析方法、同步计数器、异步二进制计数器、BCD 码异步递增计数器、多功

能集成寄存器

6、脉冲波形的产生与变换

555 电路结构和功能、施密特触发器及特点和应用、单稳态电路工作原理及应用、多谐振荡器工作原理及应用

7、数字系统设计基础

数字系统的逻辑划分、数字系统设计步骤、ASM 图形符号、ASM 块、ASM 块之间的关系、ASM 图的建立、处理器的实现、控制器的实现

8、数模与模数转换

转换关系及数字编码、D/A 转换基本原理、权电阻 DAC、R-2R 梯形及倒梯形 DAC、A/D 转换原理、直接式 ADC、间接式 ADC

9、RAM 与 ROM 的结构与原理

RAM 的存储单元、RAM 的结构、RAM 的扩展、ROM 的构成和工作原理、ROM 的种类