

成都理工大学

二〇〇九年攻读硕士学位研究生入学考试试题

考试科目名称: 数字电子技术

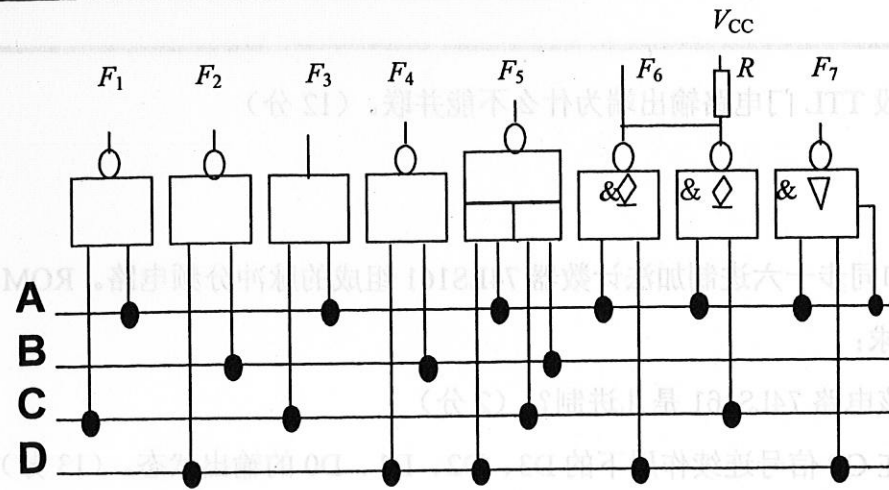
试题适用专业: 通讯与信息系统, 电路与系统 (试题共 5 页)

一、填空题 (每小题 2 分, 共 20 分)

- 多个 OC 门输出端并联到一起可实现 () 功能。
- 将 2004 个“1” 异或起来得到的结果是 ()。
- 半导体存储器的结构主要包含三个部分, 分别是 ()、()、()。
- 消除组合逻辑电路中竞争冒险的方法有 ()、() 等。
- 就逐次逼近型和双积分型两种 A/D 转换器而言 () 的转换速度快。
- 与 PAL 相比, GAL 器件有可编程的输出结构, 它是通过对 () 进行编程设定其 () 的工作模式来实现的。

二、分析题 (50 分)

- 请根据题图和题表, 完成以下要求: (11 分, 每空 0.5 分)
 - 按表 1 栏的要求, 图中完善 F1~F5 的逻辑符号, 并按图中的逻辑符号将 F6~F7 的名称填入相应位置;
 - 在表 2 栏中填入各输出端的逻辑表达式;
 - 若 ABCD = 1001, 将各输出值填入表 3 栏中。



	F1	F2	F3	F4	F5	F6	F7
1	与非门	或非门	异或门	同或门	与或非门		
2							
3							

- 图 1、2 中电路均由 CMOS 门电路构成, 写出 P、Q 的表达式, 并画出对应 A、B、C 的 P、Q 波形。 (12 分)

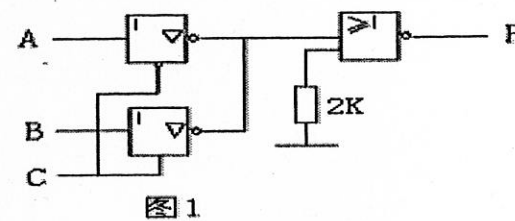


图 1

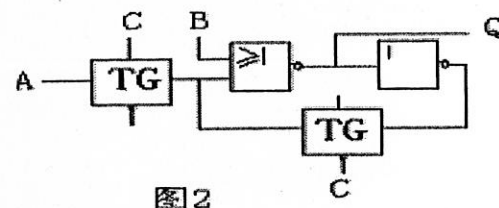
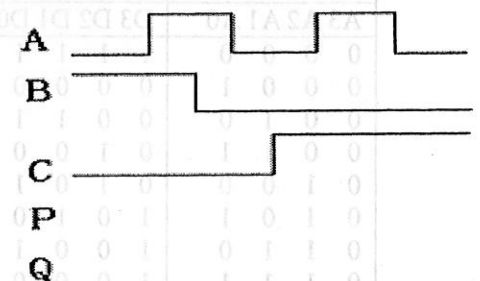


图 2

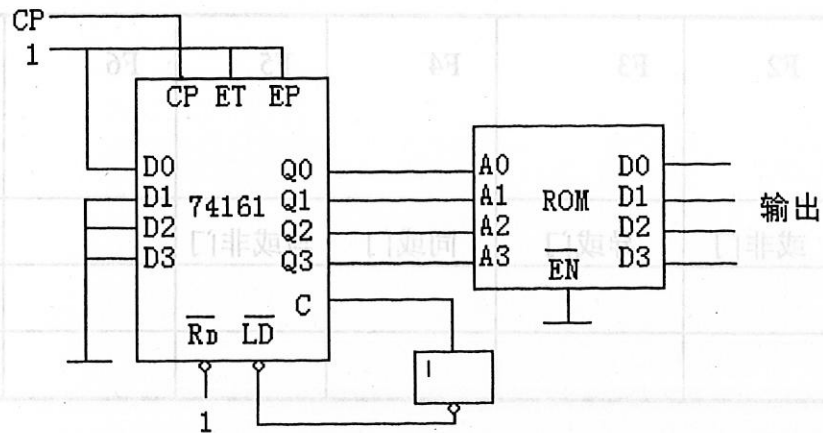


3. 请简要说明一般 TTL 门电路输出端为什么不能并联。(12 分)

4. 16*4 位 ROM 和同步十六进制加法计数器 74LS161 组成的脉冲分频电路。ROM 中的数据见表所示。要求：

(1) 试分析该电路 74LS161 是几进制？(2 分)

(2) 试分析在 CP 信号连续作用下的 D3、D2、D1、D0 的输出状态。(13 分)



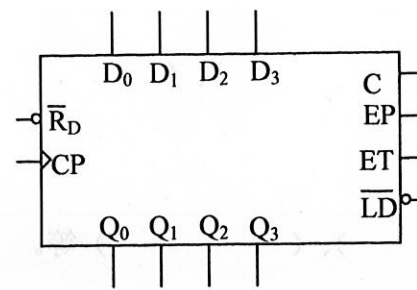
地址输入				数据输出			
A3	A2	A1	A0	D3	D2	D1	D0
0	0	0	0	1	1	1	1
0	0	0	1	0	0	0	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	1	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	1	0
1	1	0	0	0	0	0	1
1	1	0	1	0	1	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	0	0	0

五、设计题 (80 分)

1. 试将下降沿有效的边沿 D 触发器设计成下降沿有效的 JK 触发器。给出必要的设计过程。(14 分)

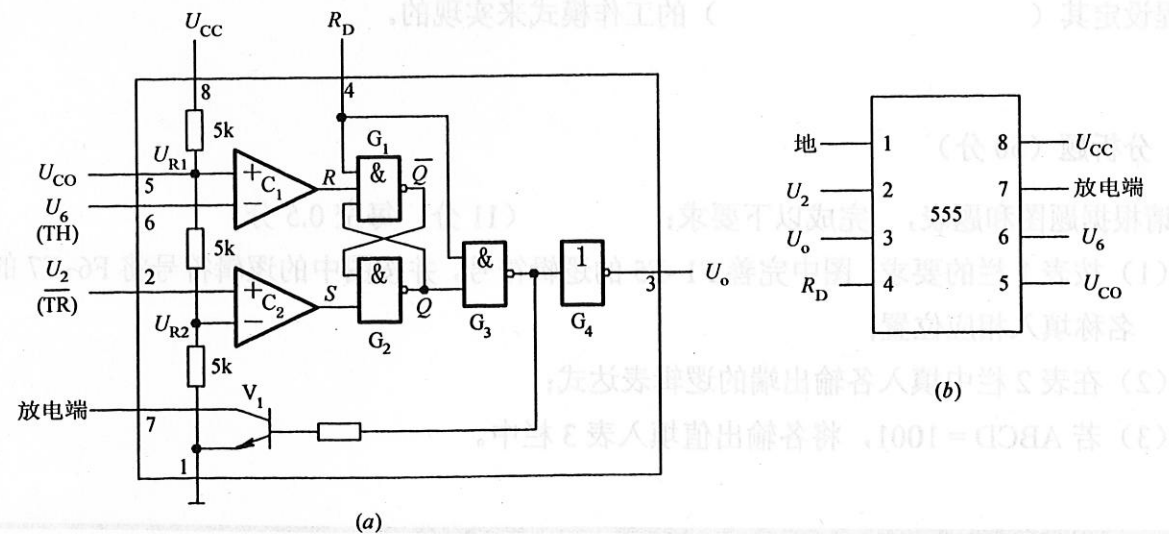
2. 设计一位十进制数的四舍五入电路 (采用 8421BCD 码)。要求只设定一个输出, 并画出用最简与非门实现的逻辑电路图。(10 分)

3. 用 74LS161 及少量与非门组成由 00000001—00011000, M=24 的计数器。给出必要设计步骤。(16 分)

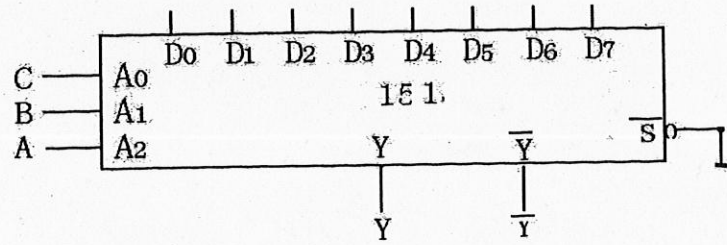


CP	$\overline{R_D}$	\overline{LD}	E	EX	工作状态
×	0	×	×	×	置零
\downarrow	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (C=0)
\uparrow	1	1	1	1	计数

4. 试用 555 定时器设计一个多谐振荡器, 给出频率和占空比计算公式, 并简述工作原理。(15 分)



5. 用数据选择器实现函数 $Y(A, B, C, D) = A\bar{C}D + \bar{A}\bar{B}CD + BC + \bar{B}CD$ 要求：画出逻辑接线图(给定 74LS151 数据选择器，门可任选，变量 D 从数据端输入)。(10 分)



6. 试用 256*8 的 RAM 和译码器构成 1024*8 的 RAM。写出必要设计步骤，画出设计电路。(15 分)