

## 2004 攻读硕士学位研究生入学复试试题

## 复试科目：计算机组成原理

## 一、(50 分)

从每个小题的四个被选答案中选出一个正确答案，将其号码填入题干的括号内。

1. 在浮点运算中，对阶操作是指( )。  
① 小阶增大，尾数左移      ② 大阶减少，尾数左移  
③ 小阶增大，尾数右移      ④ 大阶减少，尾数右移
2. 采用隐式 I/O 指令，是指用( )实现 I/O 操作。  
① I/O 指令      ② 数传指令      ③ 通道指令      ④ 硬件自动
3. 在微程序控制中，机器指令和微指令的关系是( )。  
① 每一条机器指令由一条微指令解释执行  
② 每一条机器指令由一段微程序解释执行  
③ 每一条微指令由一条机器指令解释执行  
④ 每一段微程序由若干条机器指令解释执行
4. 异步控制方式常用于( )。  
① 外部设备控制      ② 存储器控制      ③ CPU 内总线控制      ④ 系统总线控制
5. 磁记录方式是指( )。  
① 记录项的组成方式      ② 数据块的记录方式  
③ 写入电流波形的组成方式      ④ 写入文件的组成方式
6. 动态 RAM 的特点是( )。  
① 工作中存储内容会发生变化      ② 工作中需要动态改变访存地址  
③ 每次读出后，需重写一次      ④ 每隔一段时间，需按行读一遍
7. 不同工作速度的设备之间交换信息( )。  
① 必须采用异步控制      ② 必须采用同步控制  
③ 可以采用同步控制，也可采用异步控制      ④ 不能用时钟周期提供时序基准
8. 向量中断的向量地址是( )。  
① 由中断源硬件提供      ② 通过软件查询产生  
③ 由中断总服务程序产生      ④ 由处理程序查表获得
9. 在补码不恢复余数算法中，( )。  
① 够减商 1，不够减商 0      ② 余数与除数同号商 1，异号商 0  
③ 够减商 0，不够减商 1      ④ 余数与除数同号商 0，异号商 1



10. 若采用串行进位方式, 则( )。
- ①  $C_5 = G_5 + P_5 G_4$       ②  $C_5 = G_5 + P_5 C_4$       ③  $C_5 = G_5 + P_5 C_1$       ④  $C_5 = G_5 + P_5 G_1$
11. 简化地址结构的办法是( )。
- ① 寄存器寻址      ② 寄存器间址      ③ 变址寻址      ④ 隐地址
12. 随机存取方式是指( )。
- ① 可在任意时间访问存储器      ② 可以读/写方式访问存储器  
③ 访问所需时间与地址无关      ④ 访问所需时间与地址有关
13. 在写磁盘过程中, 适配器向主机发出 DMA 的请求的时间是( )。
- ① 寻道完成时      ② 启动磁盘时  
③ 扇区缓冲区满时      ④ 扇区缓冲区空时
14. 在同步控制方式中, ( )。
- ① 每个时钟周期长度固定      ② 各指令的时钟周期数不变  
③ 每个工作周期长度固定      ④ 各指令的工作周期数不变
15. 在异步总线传送中, ( )。
- ① 由 CPU 发出定时信号      ② 由系统总线发出定时信号  
③ 由发送方发出定时信号      ④ 采用应答方式
16. 为了禁止某个设备申请中断, CPU 应该( )。
- ① 关中断      ② 送屏蔽字      ③ 送中断类型码      ④ 设置中断优先级字段
17. CPU 响应 DMA 请求( )。
- ① 可以在一个时钟周期结束时      ② 可以在一个总线周期结束时  
③ 必须在一条指令结束时      ④ 必须在一段程序结束时
18. CPU 响应中断请求( )。
- ① 可以在任一时钟周期结束时      ② 可以在任一总线周期结束时  
③ 可以在一条指令结束时      ④ 必须在一段程序结束时
19. 微程序存放于( )。
- ① 堆栈中      ② 控制存储器中      ③ 主存中      ④ 磁盘中
20. 扩展同步总线( )。
- ① 无时钟周期划分      ② 无总线周期划分  
③ 允许时钟周期长度可变      ④ 允许总线周期长度可变
21. 在读磁盘过程中, 适配器向主机发出 DMA 的请求的时间是在( )。
- ① 寻道完成时      ② 启动磁盘时  
③ 扇区缓冲区满时      ④ 扇区缓冲区空时
22. 总线主设备是指( )。



- ① CPU                      ② 掌握总线控制权的设备  
③ 发送信息的设备      ④ 接收信息的设备

23. 在键盘接口中设置移位寄存器是为了实现( )。

- ① 并→串转换      ② 串→并转换      ③ 字节→字转换      ④ 字→字节转换

24. 如果允许多重中断, 则( )。

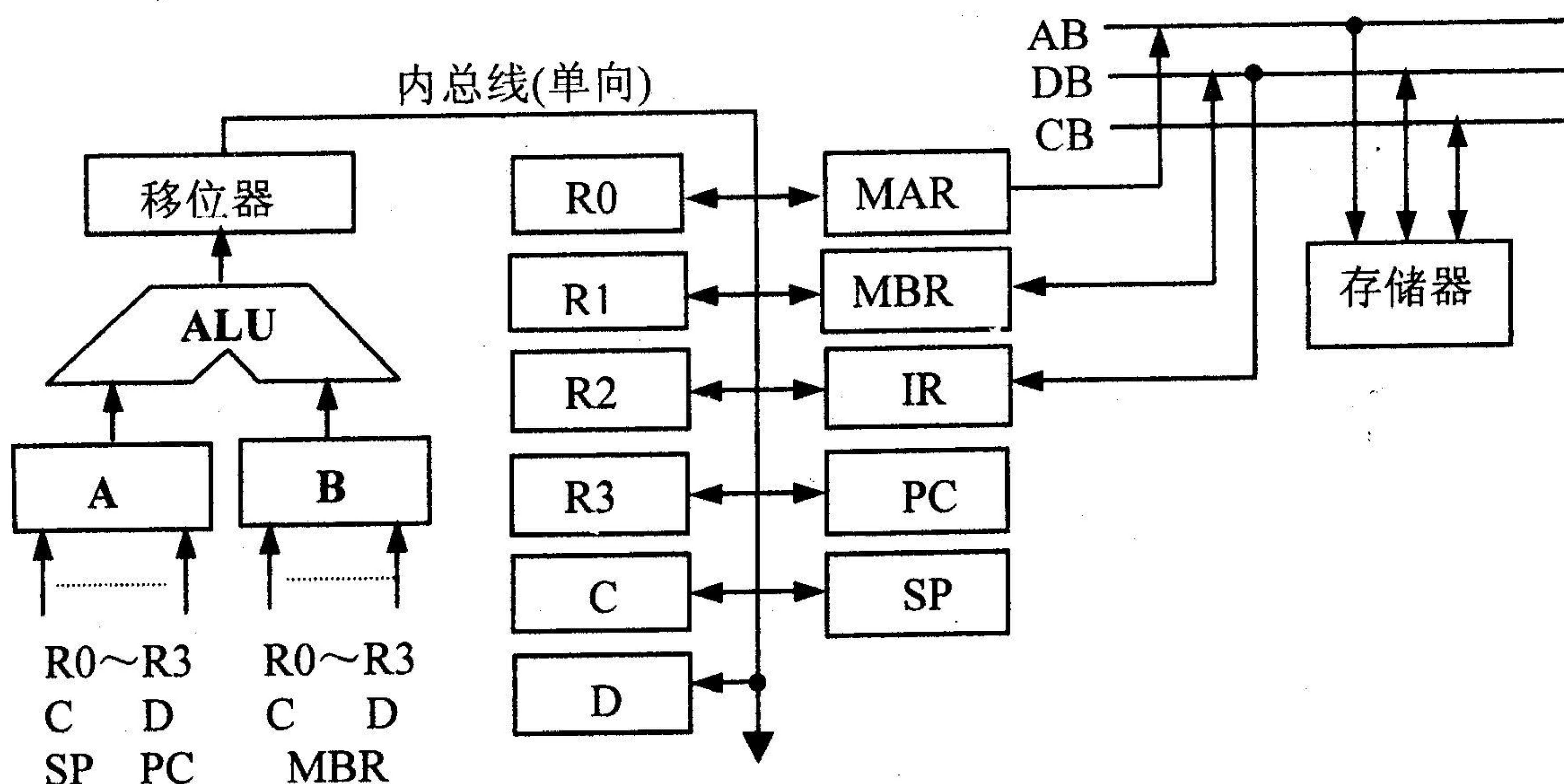
- ① 在服务程序中应关中断      ② 离开服务程序时应开中断  
③ 离开服务程序时应关中断      ④ 保护现场后应开中断

25. 采用 I/O 端口独立编址方式, 则( )可以确定所要访问的端口。

- ① 端口地址连同用于区分访存或访问 I/O 端口的控制信号  
② 只需要端口地址  
③ 访存的地址连同用于区分访存或访问 I/O 端口的控制信号  
④ 存储单元的地址

## 二、(20 分)

模型机数据通路结构如图所示。该通路由以下部分组成: CPU 内总线、算逻运算部件 ALU、输入选择器 A 和 B、输出移位寄存器、通用寄存器 R0~R3、暂存器 C 和 D、地址寄存器 MAR、数据缓冲寄存器 MBR、程序计数器 PC、堆栈指针 SP。用寄存器传送语句(如 PC→MAR), 拟出下列指令从读取到执行的完整流程。



模型机数据通路结构如图

1、加法指令 ADD (SP)+, X(R1);

源操作数采用自增型寄存器间址, 目标操作数采用变址, 形式地址存放在现行指令所在单元的下一个存储单元中。

2、转子指令 JSR (R0);

子程序入口地址采用寄存器间址, 返回地址压入堆栈保存。



### 三、(15 分)

已知地址总线 A15~A0, 其中 A0 为最低位。用 RAM 芯片(2K×8 位/片)和 EPROM 芯片(2K×4 位/片)实现一个半导体存储器。该存储器按字节编址, 位于地址空间的 2000H~4FFFH, 从 2000H 开始的 8K 为 RAM 区, 其余为 ROM 区。

- 1、根据存储器容量, RAM 芯片和 EPROM 芯片各需要多少片?
- 2、该存储器共需要多少根地址线? RAM 和 EPROM 芯片各需要连接哪几根地址线?
- 3、需要产生多少个片选信号? 分别写出各片选信号的逻辑表达式。

### 四、(15 分)

某 CRT 字符显示器的显示规格 1024 行×768 列, 字符点阵 7 列×9 行, 字符区 9×14。

- 1、显示缓冲存储器的内容是什么? 基本容量为多少字节 (单色显示) ?
- 2、需要设置哪几级计数器? 写出各级计数器的分频关系(不考虑过量扫描和回扫)。
- 3、何时发水平同步信号? 何时发垂直同步信号?