

# 电子科技大学

## 2005 年在职攻读专业学位研究生入学考试试题

### 参考答案

### 考试科目：109 计算机原理

#### 一、单选题（每小题 2 分，共 10 分）

请根据题干内容，在每小题的四个备选答案中选择一个正确答案。

- 1、按时序控制方式划分，可将总线分为（ ④ ）。
  - ①并行总线与串行总线
  - ②高速总线与低速总线
  - ③内总线与外总线
  - ④同步总线与异步总线
- 2、微程序通常存放在（ ① ）中。
  - ① CPU
  - ② 主存
  - ③ 硬盘
  - ④ 软盘
- 3、总线主设备（ ③ ）。
  - ①只发送信息
  - ②只接收信息
  - ③要掌握总线控制权
  - ④不掌握总线控制权
- 4、在浮点运算中，对阶操作是将（ ② ）。
  - ①小阶增大，尾数左移
  - ②小阶增大，尾数右移
  - ③大阶减小，尾数左移
  - ④大阶减小，尾数右移
- 5、在 DMA 方式中，数据传送是在（ ④ ）之间进行。
  - ①寄存器与寄存器
  - ② CPU 与主存
  - ③外设与 CPU
  - ④外设与主存

#### 二、判断题（每小题 2 分，共 10 分）

下列说法有的正确，有的错误，请作出正/误判断。

- |                           |   |
|---------------------------|---|
| 1、在原码运算中，操作数取绝对值，符号单独处理。  | 正 |
| 2、随机存取是指可以随意地读出或写入。       | 误 |
| 3、CPU 在一个总线周期结束时可以响应中断请求。 | 误 |
| 4、用传送指令可以完成 I/O 操作。       | 正 |
| 5、在同步方式中，由 CPU 提供统一时序信号。  | 误 |

#### 三、简答题（每小题 5 分，共 30 分）

1、在浮点运算中，什么情况下需左移规格化？什么情况下需右移规格化？

答：尾数绝对值小于 1/2 时需左移规格化，尾数绝对值大于等于 1 时需右移规格化。

2、动态存储器和静态存储器各根据什么原理存储信息？

答：前者靠电容电荷，后者靠触发器存储信息。

3、在 DMA 方式的初始化阶段, CPU 应送出哪些初始化信息?

答: 传送方向、主存首址、交换量、外设寻址信息。

4、什么是组合逻辑控制方式? 它有哪些优缺点?

答: 用组合逻辑电路产生微命令的方式。优点: 速度快; 缺点: 设计不规整, 难于修改、扩展指令系统功能。

5、在 CRT 字符显示器中, 显示缓冲存储器的内容是什么? 字符发生器的内容又是什么?

答: 前者的内容是字符编码, 后者的内容是字符的点阵代码。

6、什么是总线? 系统总线连接哪些部件?

答: 能为多个部件分时共享的一组信号传送线。系统总线连接 CPU、主存、I/O 接口等。

#### 四、拟定指令流程 (20 分)

模型机数据通路结构如图所示。通路中包含两个输入选择器 A 和 B、算逻部件 ALU、输出移位器、四个通用寄存器 R0~R3、两个暂存器 C 和 D、地址寄存器 MAR、数据缓冲寄存器 MBR、指令寄存器 IR、指令计数器 PC、堆栈指针 SP。

M 表示存储器, AB、DB、CB 分别表示系统地址总线、数据总线和控制总线。

请用寄存器传送语句 (如  $PC \rightarrow MAR$ ) 分别拟出下述指令的流程。

1、传送指令 MOV (R0), (R1); 源和目的均采用寄存器间址。指令功能是将 R1 所指示的存储单元的内容送入由 R0 所指示的存储单元。

解: FT:  $M \rightarrow IR, PC+1 \rightarrow PC$

ST:  $R1 \rightarrow MAR, M \rightarrow MBR \rightarrow C$

DT:  $R0 \rightarrow MAR$

ET:  $C \rightarrow MBR, MBR \rightarrow M, PC \rightarrow MAR$

2、加法指令 ADD R3, R2; 源和目的均采用寄存器寻址。指令功能是将 R2 的内容与 R3 的内容相加, 结果送入 R3。

解: FT:  $M \rightarrow IR, PC+1 \rightarrow PC$

ET:  $R2+R3 \rightarrow R3, PC \rightarrow MAR$

3、转移指令 JMP (R2) +; 转移地址采用自增型寄存器间址。指令功能是将转移地址送入指令计数器 PC。

解: FT:  $M \rightarrow IR, PC+1 \rightarrow PC$

ET:  $R2 \rightarrow MAR, R2+1 \rightarrow R2, M \rightarrow MBR \rightarrow PC, MAR$

#### 五、设计接口 (15 分)

设计一个并行中断接口, 请说明:

1、该接口由哪几部分组成?

答: 寄存器选择器、命令字寄存器、状态字寄存器、数据缓冲器、其他控制逻辑、中断控制器。

2、各部分的功能是什么?

答: 寄存器选择器: 选择接口中的寄存器供 CPU 访问。

命令字寄存器: 接收 CPU 发向设备的命令。

状态字寄存器：反映设备状态。

数据缓冲器：暂存交换数据。

其他控制逻辑：产生中断请求。

中断控制器：汇集中断请求，屏蔽、判优，向 CPU 送出公共请求；接收 CPU 响应信号，送出相应中断号。

## 六、设计存储器（15 分）

用  $2K \times 8$  位/片的存储芯片组成容量为  $8K \times 8$  位的存储器，地址总线  $A_{15} \sim A_0$ ，其中  $A_0$  是最低位。请在 1、2 题中各选一个正确答案，在第 3 题中填写正确的逻辑式。

1、需用几块存储芯片？ ①

①4 片                  ②8 片                  ③10 片                  ④16 片

2、连入各存储芯片的地址线是哪几位？ ②

① $A_9 \sim A_0$                   ② $A_{10} \sim A_0$                   ③ $A_{11} \sim A_0$                   ④ $A_{12} \sim A_0$

3、写出片选信号的逻辑式。

$CS_0 = (\overline{A_{12}}\overline{A_{11}})$ 、 $CS_1 = (\overline{A_{12}}A_{11})$ 、  
 $CS_2 = (A_{12}\overline{A_{11}})$ 、 $CS_3 = (A_{12}A_{11})$ 。