

电子科技大学

2005 年攻读硕士学位研究生入学试题

考试科目：419、数字电路

本试卷共九题，总分 150 分

重要提示：所有答案均需做在答卷上，在考卷上的答案一律无效！

一、选择题（每题只有一个最合适的答案，多选不得分。共 10 小题，每小题 2 分，小计 20 分）。

1、函数 $F = \overline{AB+CD}$ 的反函数 $\overline{F} =$ _____。

- (a) $\overline{AB+\overline{CD}}$; (b) $\overline{(A+B) \cdot (\overline{C}+\overline{D})}$;
 (c) $(A+B) \cdot (\overline{C}+\overline{D})$; (d) $\overline{A+B \cdot \overline{C}+\overline{D}}$ 。

2、已知 $F = ABC + CD$ ，选出下列中的 _____ 可以肯定使 $F=1$ 。

- (a) $A=0, BC=1$; (b) $B=1, C=1$; (c) $C=1, D=0$; (d) $BC=1, D=1$ 。

3、_____ 在任何时刻只允许一个输入端有效。

- (a) 二进制译码器 (b) 普通二进制编码器 (c) 优先编码器 (d) 十进制计数器。

4、一个六位二进制减法计数器，初始状态为 000000，问经过 196 个输入脉冲后，此计数器的状态为 _____。

- (a) 100111 (b) 000100 (c) 111100 (d) 111101

5、9999 个“1”异或的结果再与 1000 个“0”同或，其结果为 _____。

- (a) 0 (b) 1 (c) 不唯一 (d) 没意义。

6、为构成 4096×16 的 RAM 区，共需 1024×4 位的 RAM 芯片 _____ 片。

- (a) 64 (b) 32 (c) 16 (d) 8

7、欲用移位寄存器产生序列信号 10111100，则至少需要 _____ 级触发器。

- (a) 2 (b) 3 (c) 4 (d) 5

8、图 1.8 所示为某与非门的传输特性、输入和输出特性曲线，高电平噪声容限 V_{NH} 和低电平噪声容限 V_{NL} 分别为 _____。

05003913

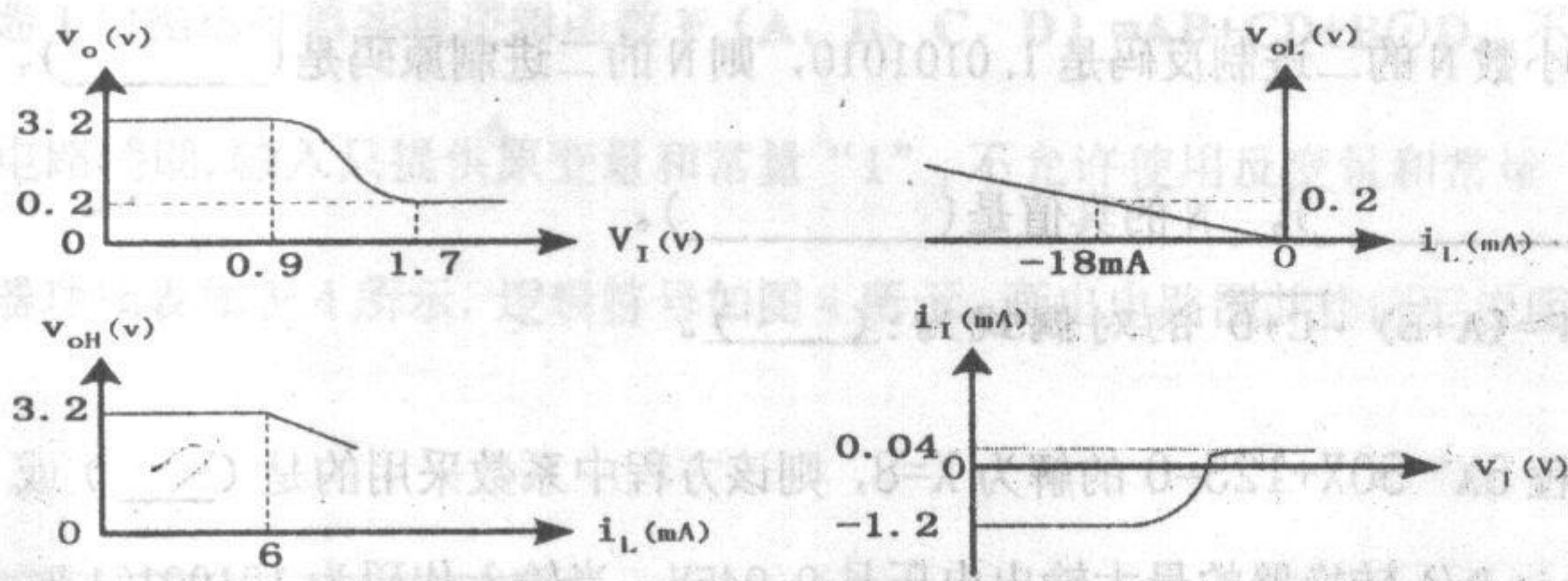


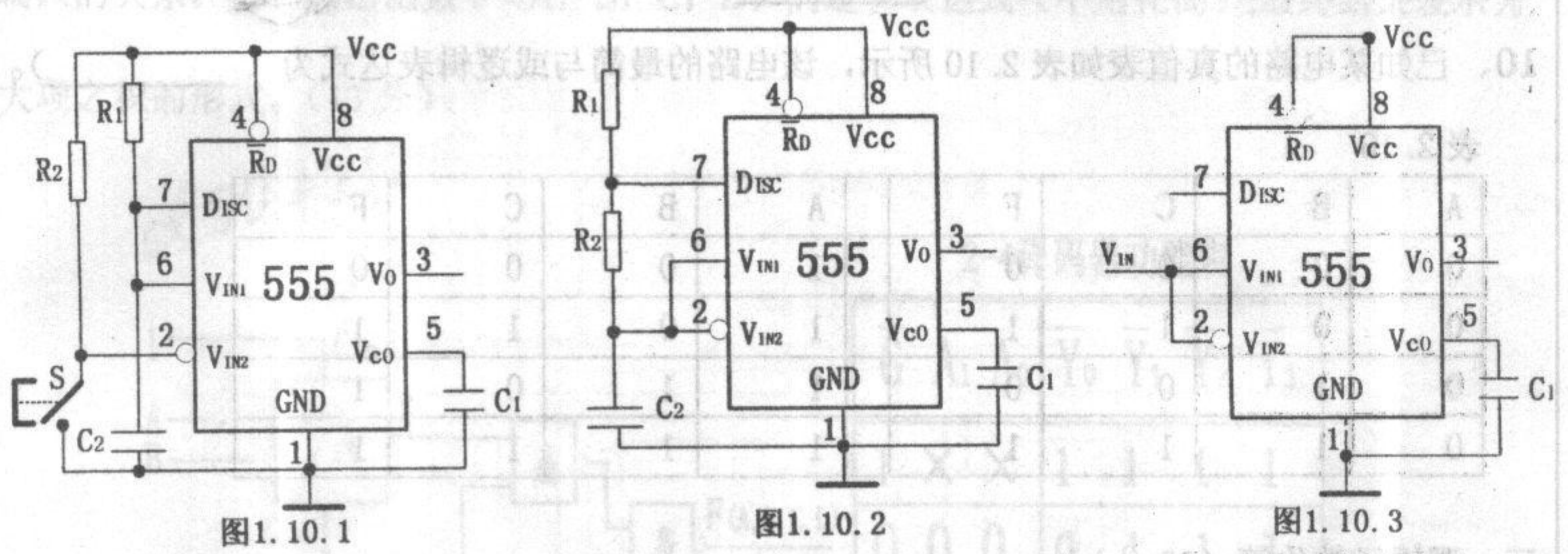
图1.8、某与非门的电压传输特性、输入和输出特性曲线

- (a) 1.5V, 0.7V; (b) 0.7V, 1.5V; (c) 3V, 0.8V; (d) 0.8V, 3V。

9、上图（图 1.8）所示为某与非门的传输特性、输入和输出特性曲线，该与非门的扇出系数 N_0 为_____。

- (a) 150 (b) 5 (c) 450 (d) 15

10、下图所示电路均由 555 时基电路组成，图 1.10.1、图 1.10.2、图 1.10.3 分别构成的是_____电路。



- (a) 多谐振荡器、单稳态触发器、施密特触发器；
 (b) 单稳态触发器、多谐振荡器、施密特触发器；
 (c) 施密特触发器、多谐振荡器、单稳态触发器；
 (d) 施密特触发器、单稳态触发器、多谐振荡器。

05004013

二、填空题（每题 3 分，小计 30 分）

- 1、 $(101101011.101)_2 = (\underline{\hspace{2cm}})_{10} = (\underline{\hspace{2cm}})_{8421BCD}$ 。
- 2、 $(876)_{10} = (\underline{\hspace{2cm}})_2 = (\underline{\hspace{2cm}})_{Gray}$ (即格雷码)。

- 3、已知纯小数 N 的二进制反码是 1.0101010，则 N 的二进制原码是()，N 的二进制补码是()，N 的真值是()。
- 4、函数 $F = (A+B) \cdot \overline{C+D}$ 的对偶式为：()。
- 5、已知方程 $5X^2 - 50X + 125 = 0$ 的解为 $X=8$ ，则该方程中系数采用的是()或()进制。
- 6、已知 8bit D/A 转换器的最大输出电压是 9.945V，当输入代码为 10100101 时，输出的电压为()；若要将一个最大幅值为 5.1V 的模拟信号转换为数字信号，要求模拟信号每变化 2mV 能使数字信号最低位 (LSB) 发生变化，至少应选用()位的 A/D 转换器。
- 7、门电路中()或()结构可以实现线与功能，()门可以实现有条件的线或功能。
- 8、或非门组成的基本 RS 触发器的特性方程是()，约束条件是()，T 触发器的特性方程是()。
- 9、用原码表示符号数，10 位二进制码能表示十进制整数的个数是()；用反码表示符号数，10 位二进制码能表示十进制整数的个数是()；用补码表示符号数，10 位二进制码能表示十进制整数的个数是()。
- 10、已知某电路的真值表如表 2.10 所示，该电路的最简与或逻辑表达式为()。

表 2.10

A	B	C	F	A	B	C	F
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

三、逻辑函数化简 (20 分)

1、用公式法将逻辑函数

$$F = AB + A\bar{C} + \bar{B}C + \bar{B}\bar{C} + \bar{B}D + \overline{(\bar{B}+D)((\bar{A}+D+E)+FGH)}$$

化简成最简单的与或表达式。(10 分)

2、知函数 F_1 和 F_2 如下,试用卡诺图求出函数 $F = F_1 \cdot F_2$, 并将 F 化简成最简与或表达式。

$$F_1(A, B, C, D) = \sum m(1, 2, 3, 6, 7, 9, 11, 12, 13, 14, 15);$$

$$F_2(A, B, C, D) = \prod M(0, 1, 4, 5, 6, 8, 12, 13, 14);$$

(要求分别画出 F_1 、 F_2 及 F 的卡诺图)。(10 分)

四、用一片 4 选 1 数据选择器实现逻辑函数 $F(A, B, C, D) = AB + CD + B \odot D$ 。不允许使用小规模逻辑门电路辅助, 输入只提供原变量和常量“1”, 不允许使用反变量和常量“0”。4 选 1 数据选择器功能表如表 4 所示, 逻辑符号如图 4 所示, 画出电路图并作简要说明。(12 分)

A1	A0	D0	D1	D2	D3	Y
0	0	D0	x	x	x	D0
0	1	x	D1	x	x	D1
1	0	x	x	D2	x	D2
1	1	x	x	x	D3	D3

表4、4选1数据选择器功能表

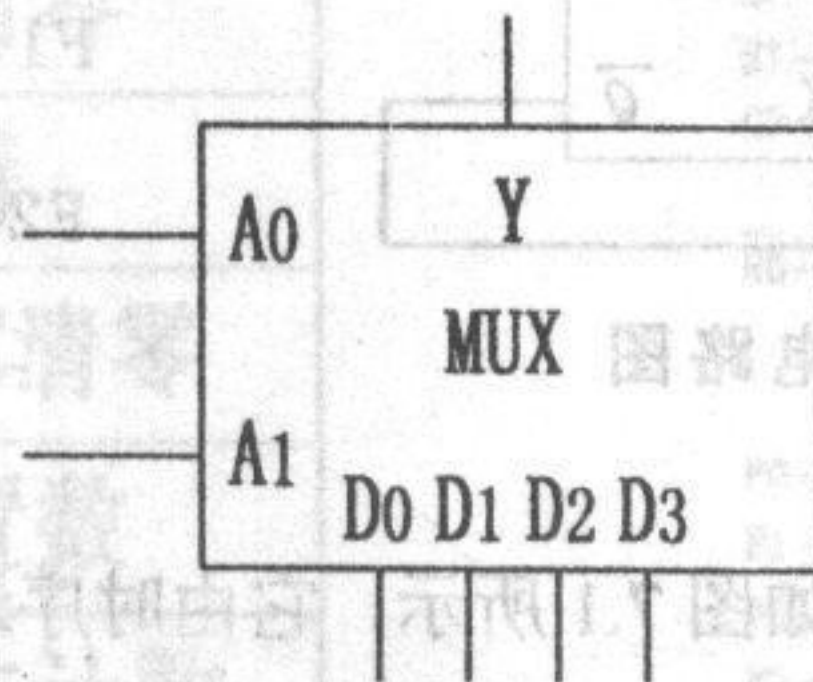
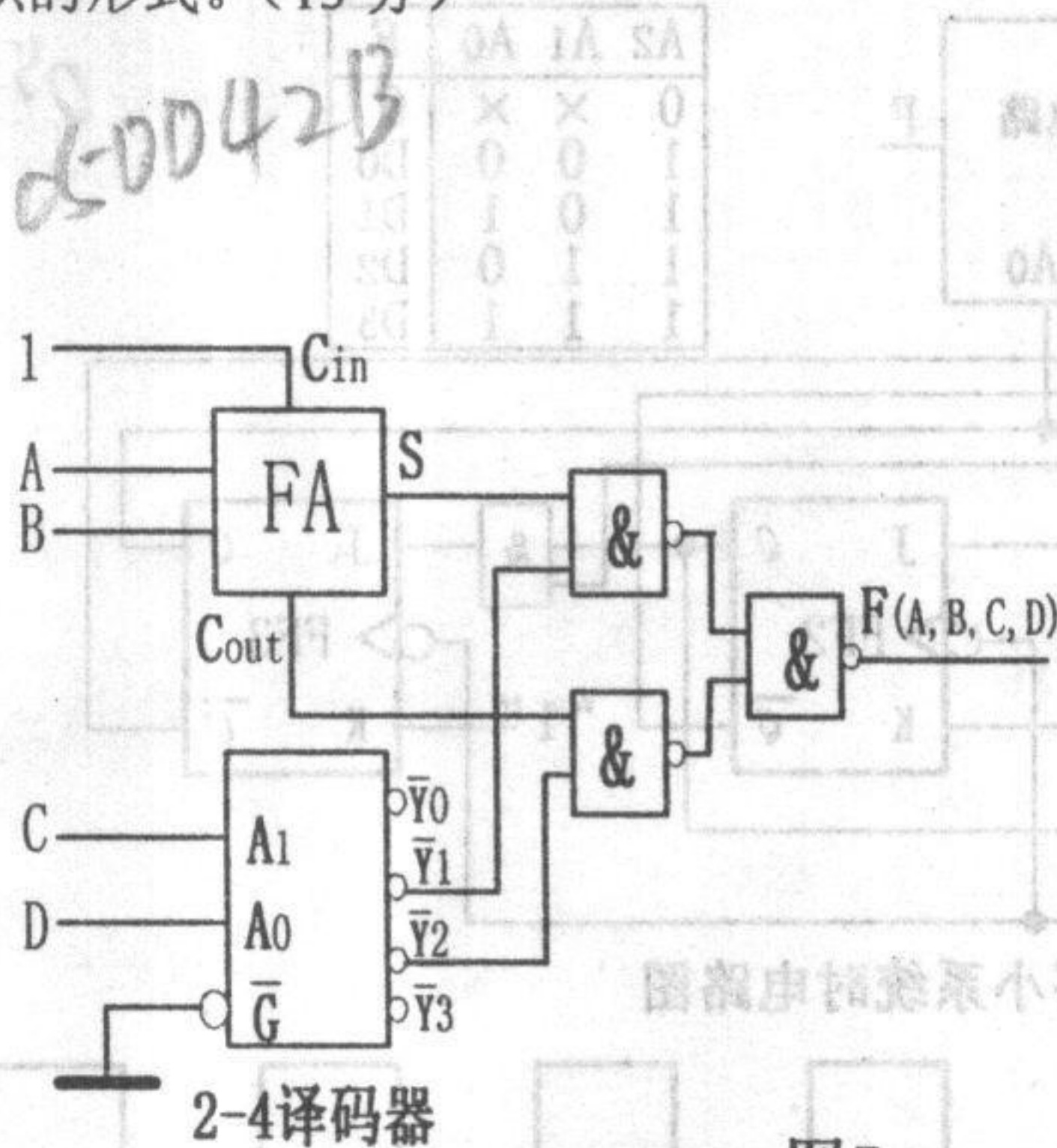


图4、4选1数据选择器逻辑符号

五、一位全加器 FA 和 2-4 译码器及与非门组成的逻辑电路如图 5 所示, 分析出该电路的输出与输入的关系。要求写出函数 $F(A, B, C, D)$ 的逻辑表达式 (不用化简), 最终结果表示为最大项之积的形式。(13 分)



2-4译码器功能表

\bar{G}	A1	A0	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3
1	x	x	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

图5

六、根据图 6.1 所示电路和图 6.2 中所给出的激励波形, 分析并画出输出 (F_1 和 F_2) 对应于输入 (A, B, C) 的波形。(10 分)

050043B

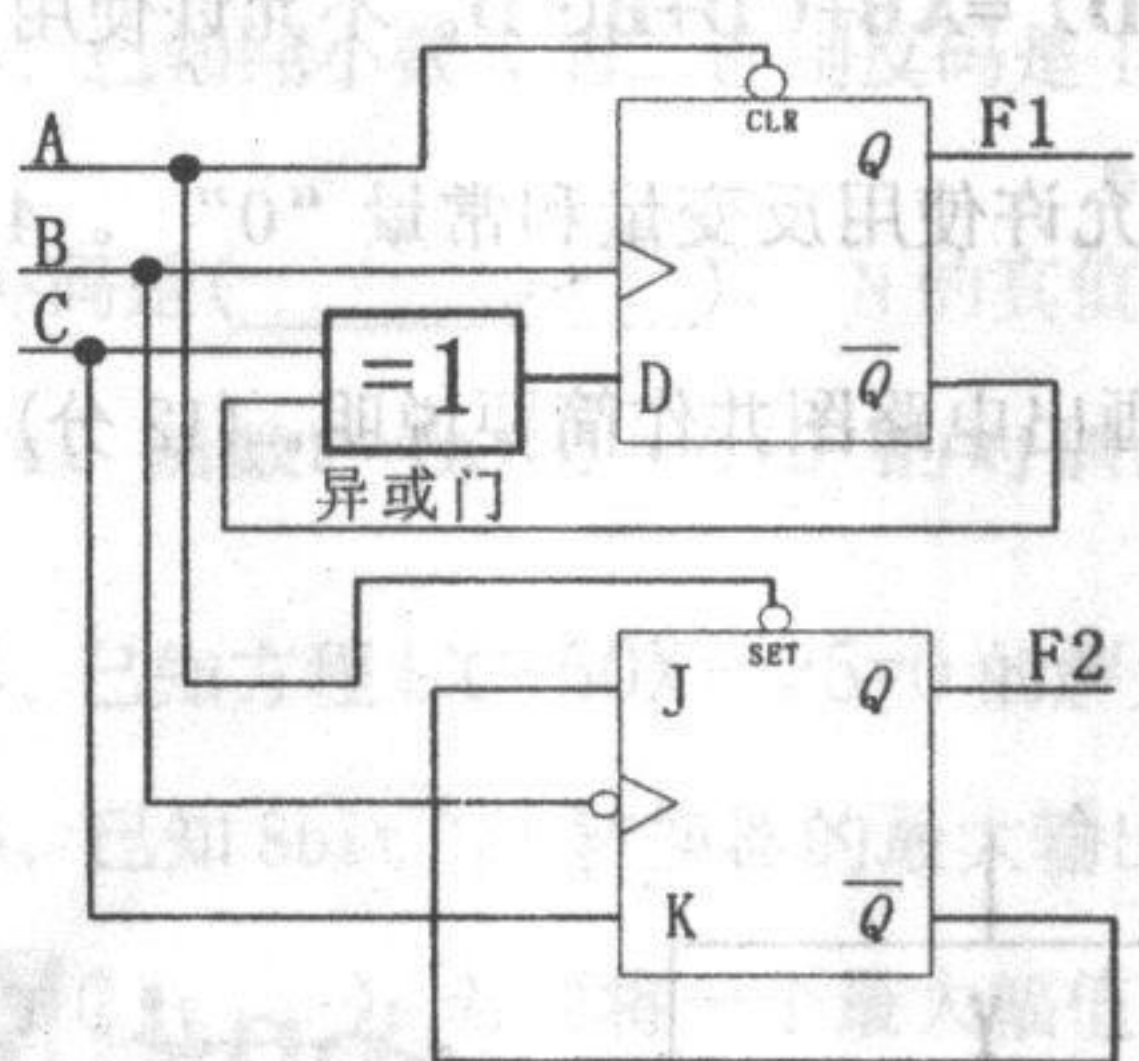


图6.1 电路图

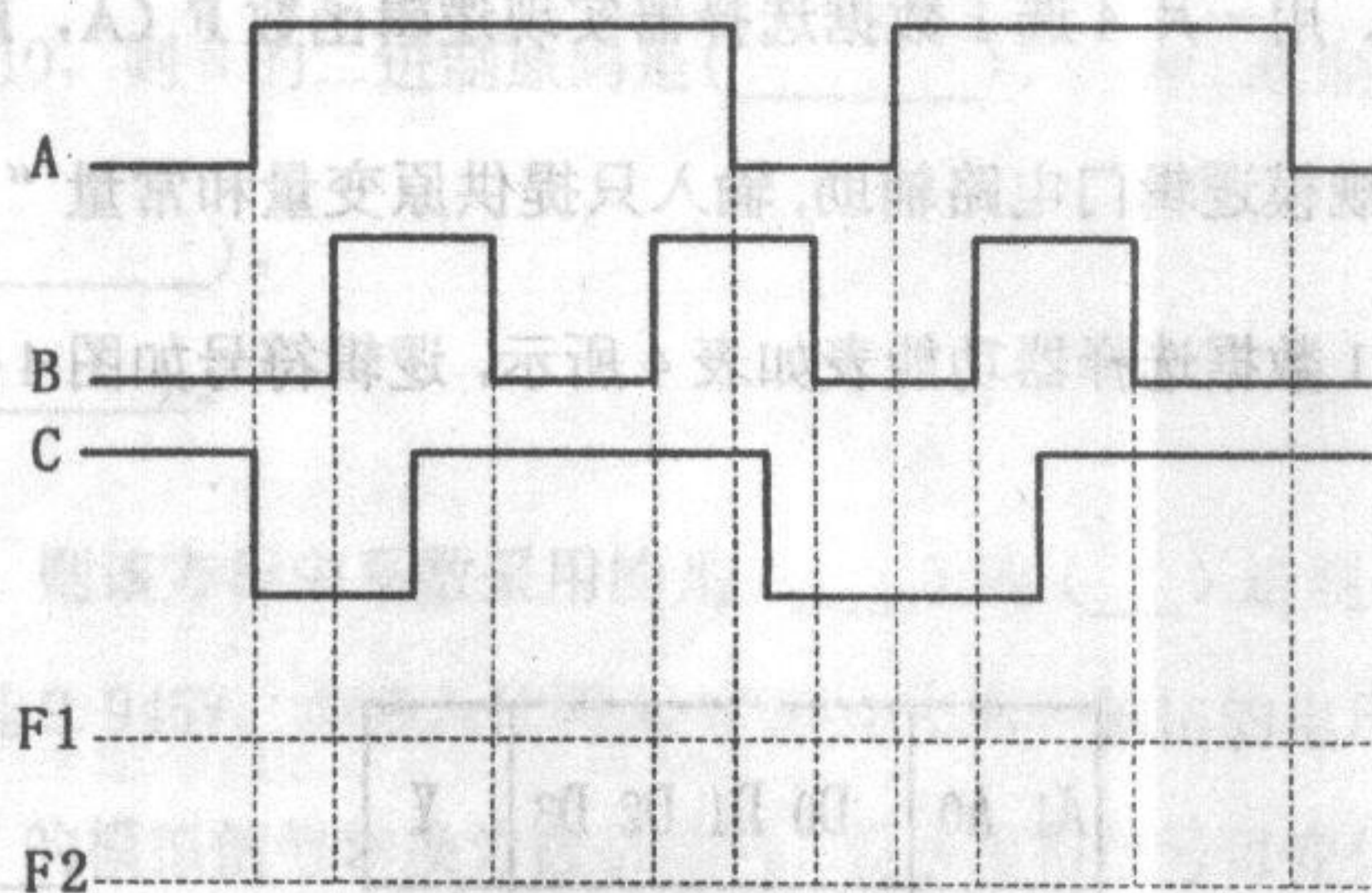


图6.2 波形图

七、一个数字小系统如图 7.1 所示，它由时序逻辑电路和组合逻辑电路两部分组成，图中组合逻辑电路的真值表如表 7 所示。(20 分)

1、分析时序电路，写出状态方程，画出状态转换图，并说明其逻辑功能。(12 分)

2、已知时钟脉冲的波形如图 7.2 所示，假定触发器的初始状态为 100，组合逻辑电路 D0、D1、

D2、D3 固定输入 1010，画出组合逻辑电路输出对应于时钟的波形。(8 分)

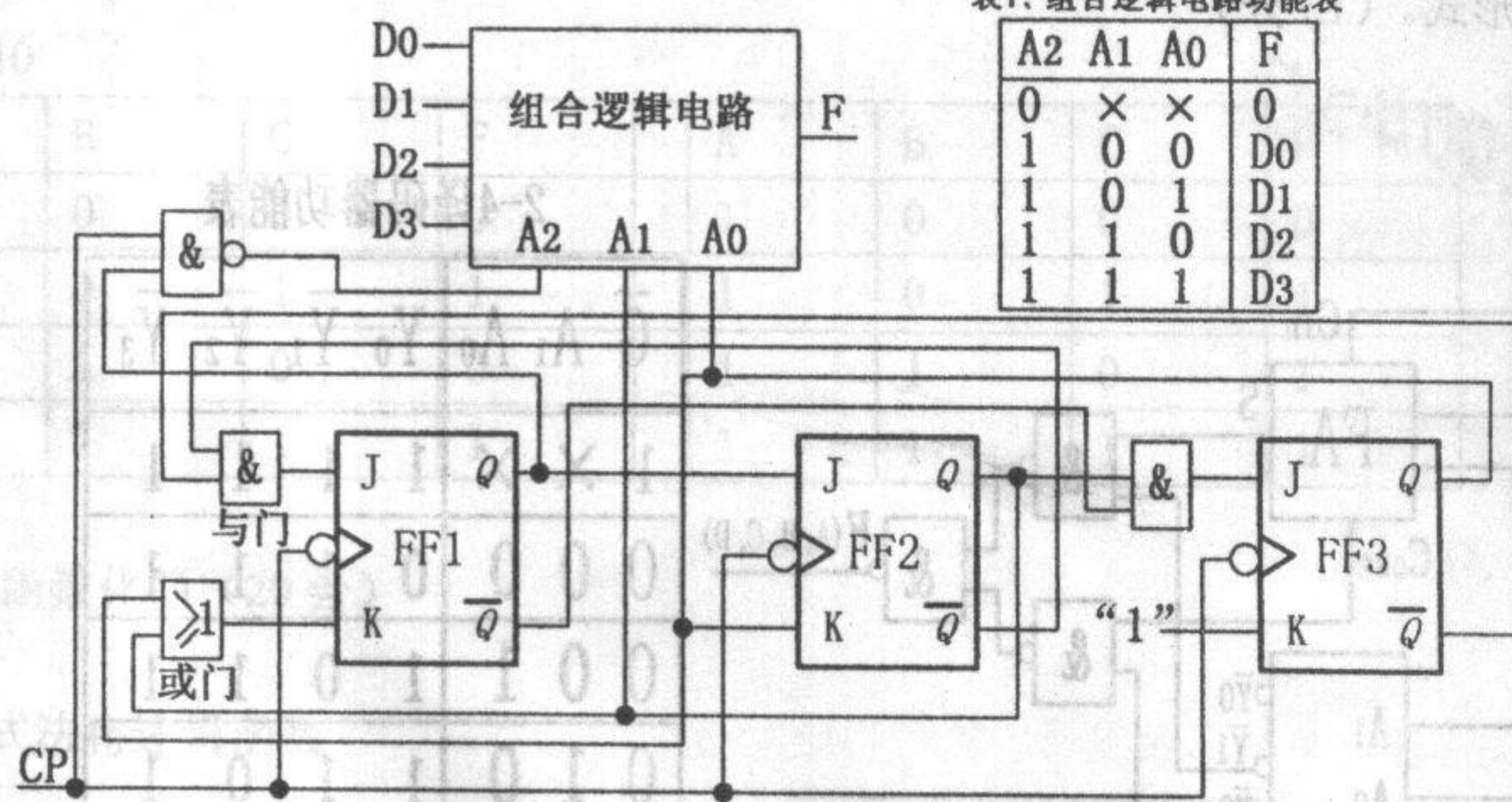


图7.1、数字小系统时电路图

表7. 组合逻辑电路功能表

A2	A1	A0	F
0	x	x	0
1	0	0	D0
1	0	1	D1
1	1	0	D2
1	1	1	D3

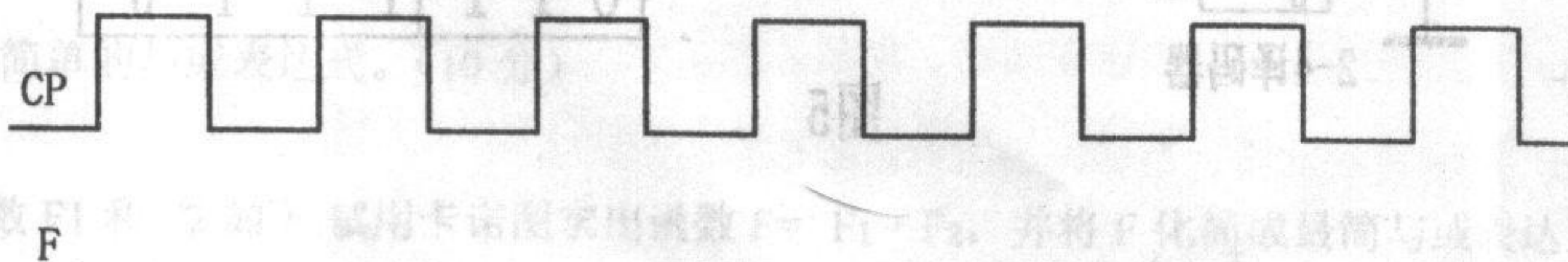


图7.2、时钟波形图

八、用两片集成电路 74LS160 实现秒时钟到分时钟的分频（即 60 进制计数器），必要时可用少量的与非门，要求其中一片 74LS160 采用置数法，画出电路图，并作简要说明。（10 分）

（提示：74LS160 为同步十进制加法计数器，其功能详见表 8，电路符号详见图 8）。

050045B

CP	\overline{RD}	EP	ET	\overline{LD}	Q_i^{n+1}	功 能
×	0	×	×	×	0	异步清零
×	1	0	1	1	Q_i^n	保持
×	1	×	0	1	Q_i^n	保持但C清零
↑	1	×	×	0	P_i	同步置数
↑	1	1	1	1		同步十进制加法计数

表8、图集成电路74LS160功能表

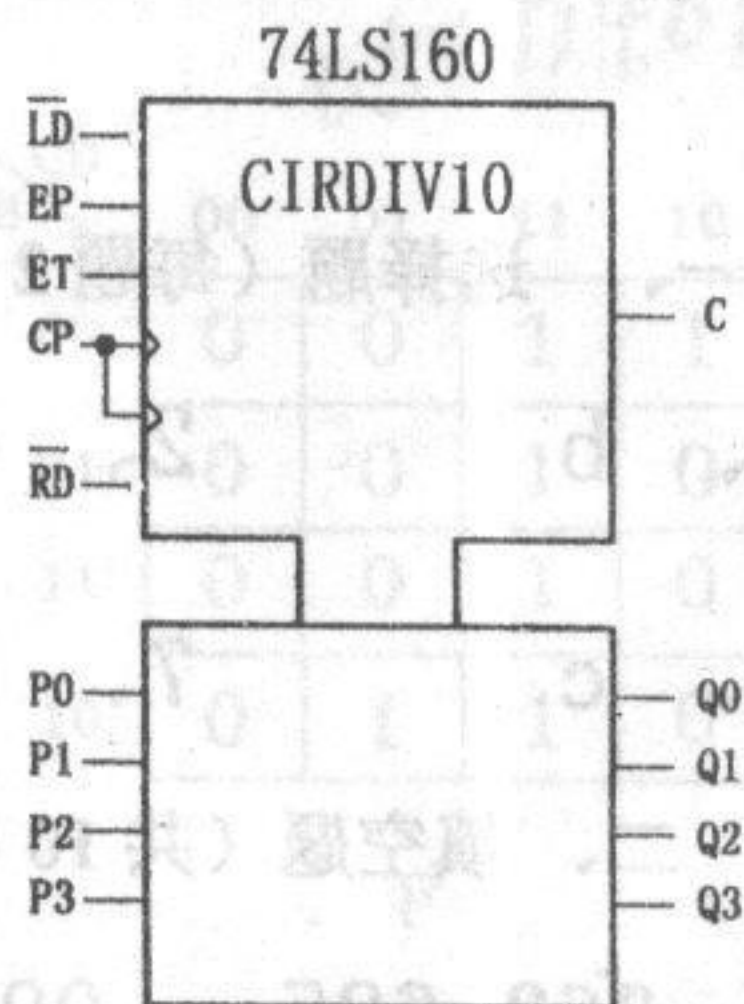


图8、74LS160电路符号

九、用最少的 D 触发器及适当的小规模逻辑门电路设计七进制同步加法计数器，要求电路能自启动，写出状态方程，并画出状态转换图及相应的电路图。（15 分）

Handwritten student work for the 7-bit counter design problem. It includes:

- Two 4x4 truth tables for variables A, B, C, D.
- Logic equations: $S = A \oplus B \oplus C$, $C = A \oplus B$, $\overline{Y} = C \oplus D$, $\overline{Z} = C \oplus D$, $P = ABC + ABD + BC + A \overline{B} D + AC + AD + BC + BD$.
- Final logic equation: $F = (A + B + C) (A + B + C + D) (\overline{A} + \overline{B} + \overline{C} + \overline{D})$.
- Additional truth tables and logic diagrams.